

Trabalho 1

Desenvolva o projeto de memória RAM dividida em P pastilhas como descrita na Figura 1. Cada pastilha tem $M \times N$ bits e tem a estrutura descrita na Figura 2. Os sinais de entrada e saída usados no projeto são descritos a seguir:

- A memória tem cinco sinais de entradas: o dado a ser escrito de N bits ($I_0I_1 \dots I_N$); o endereço de M bits ($A_0A_1 \dots A_M$); 3 bits de controle: *Chip-Select* (CS), *Read* (RD) e *Output-Enable* (OE);
- A memória tem um sinal de saída: o dado lido de N bits ($D_0D_1 \dots D_N$).
- Os bits ($I_0I_1 \dots I_N$) e ($D_0D_1 \dots D_N$) formam o barramento de dados que é bidirecional.
- $CS = 1$ e $RD = 1$ indicam uma operação de leitura. Neste caso, o sinal OE estando no nível 1 permite liberar a saída dos *latches* da palavra cujo endereço é $A_0A_1 \dots A_M$ no barramento de dados;
- $CS = 1$ e $RD = 0$ indicam uma operação de escrita. Neste caso, o dado $I_0I_1 \dots I_N$ do barramento é carregado nos *latches* da palavra de endereço $A_0A_1 \dots A_M$.
- $CS = 0$ indica que pastilha de memória não está.
- $OE = 0$ indica que o barramento de dados não está liberado escrita.

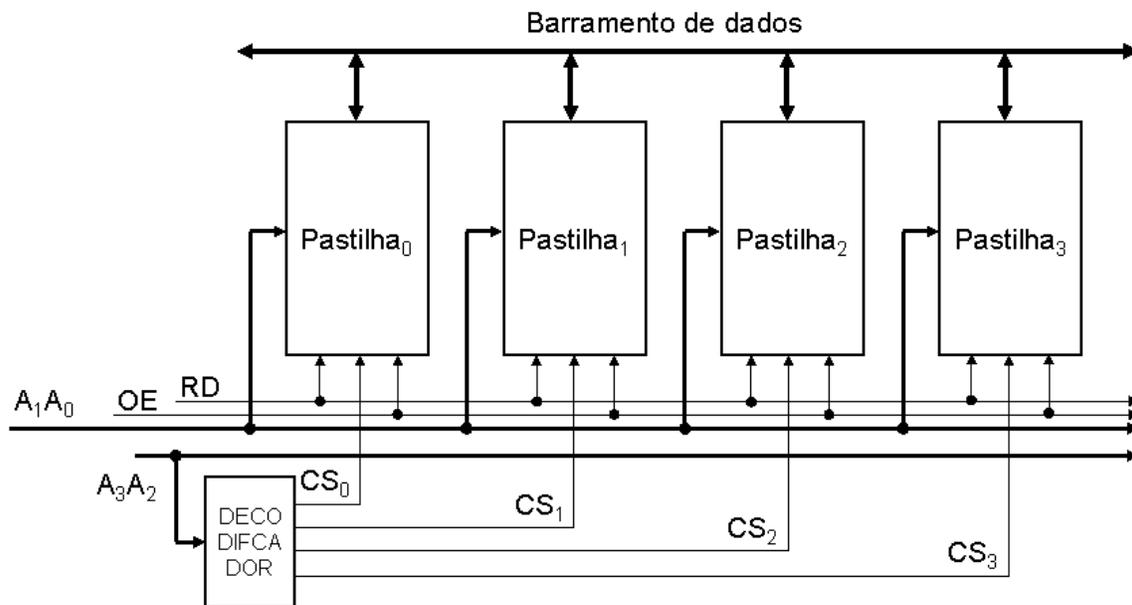


Figura 1: Projeto de memória dividida em pastilhas ($P = 4, M = 4$)

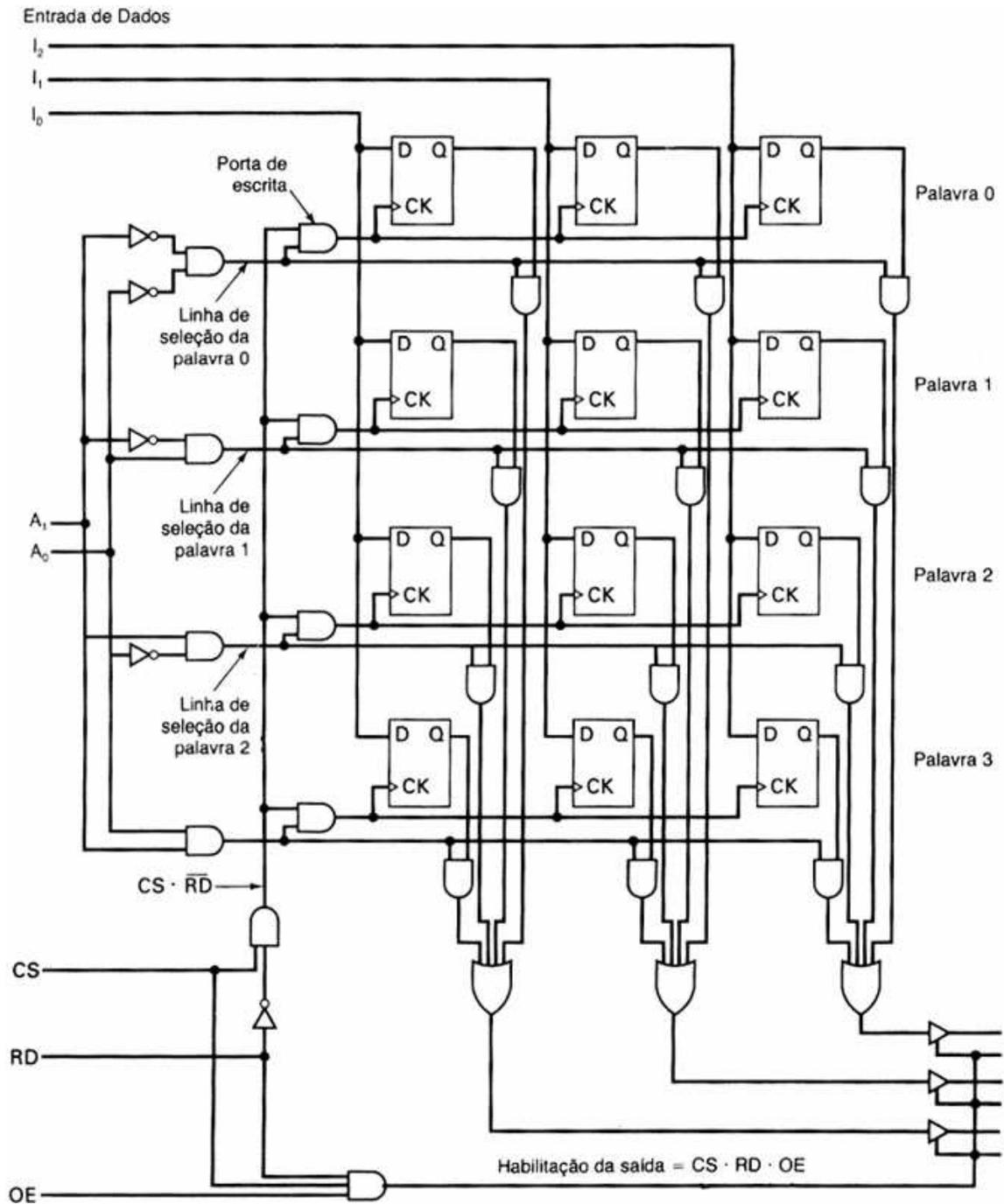


Figura 2: Projeto de uma pastilha de memória RAM ($M = 4$, $N = 3$)

A avaliação desse trabalho será realizada em 26 de Setembro de 2006.