

DISPOSITIVOS RE-CONFIGURÁVEIS

FPGAs – Field-Programmable Gate Arrays

- ✿ *Micro-processadores podem ser usados em vários ambientes mas precisam de software para implementar funções;*
- ✿ *Por isso, são mas lentos e consomem mas energia que chips personalizados;*
- ✿ *Similarmente, FPGAs não são dispositivos personalizados;*
- ✿ *Geralmente, são mas lentos e queimam mas energia que chips personalizados;*
- ✿ *FPGAs são relativamente mas caros que chips personalizados;*
- ✿ *No entanto, com FPGAs não existe tempo de espera entre o termina do projeto e a obtenção de um chip funcional;*
- ✿ *São excelente meios de prototipagem;*
- ✿ *Além disso, FPGAs podem ser re-utilizados.*

DISPOSITIVOS RE-CONFIGURÁVEIS

Caracterização e tipos de FPGAs

- ✿ *Os FPGAs são caracterizados por três elementos importantes:*
 - *O tamanho máximo da lógica que pode caber neles;*
 - *Quantos pinos de entrada/saída têm;*
 - *A velocidade de execução;*
- ✿ *Os FPGAs pode ser de dois tipos:*
 - *Os FPGAs Fine-grain : os CLBs são formados de portas lógicas simples, como and, or, etc. e têm tamanhos limitados;*
 - *Os FPGAs Coarse-grain : os CLBs são formados de componentes mas complexos como multiplexadores, somadores, multiplicadores, etc. e têm tamanhos extensos.*

DISPOSITIVOS RE-CONFIGURÁVEIS

🔧 *As tecnologias usadas para fabricar FPGAs são:*

– *Os FPGAs baseados em SRAM*

- *São populares;*
- *Podem ser re-programados indefinidamente;*
- *Conteúdo volátil e precisam ser re-configurados cada vez que sistema é ligado;*
- *Geralmente, precisam de uma memória externa para re-carga;*
- *É difícil proteger a propriedade intelectual do projeto neles armazenado;*
- *Alguns permitem através de criptografia para proteger o projeto de engenharia reversa;*
- *No entanto, esses precisam de uma bateria para guardar a chave.*

DISPOSITIVOS RE-CONFIGURÁVEIS

– *Os FPGAs baseados em AntiFuse*

- *Uma vez programados, esses não podem ser re-programados;*
- *Não são usados em processos de prototipagem;*
- *Conteúdo não-volátil e portanto não precisam ser re-configurados cada vez que sistema é ligado;*
- *Não precisam de uma memória externa para re-carga;*
- *A propriedade intelectual do projeto neles armazenado é completamente segura de engenharia reversa;*

DISPOSITIVOS RE-CONFIGURÁVEIS

– Os FPGAs baseados em EPROM/FLASH

- São os mais usados;
- Podem ser re-programados indefinidamente;
- Conteúdo não-volátil e então não precisam ser re-configurados cada vez que sistema é ligado;
- Não precisam de uma memória externa para re-carga;
- A propriedade intelectual do projeto neles armazenado é completamente segura de engenharia reversa;
- Consumem mais energia que os FPGAs baseados em SRAM;
- São mais caros e mais lentos que os FPGAs baseados em SRAM.

DISPOSITIVOS RE-CONFIGURÁVEIS

Arquiteturas de FPGAs

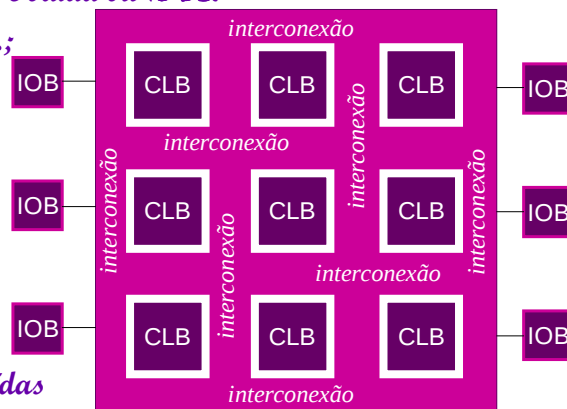
🔧 Geralmente, FPGAs incluem três tipos de elementos:

- Blocos de lógica combinacional ou CLBs;
- Blocos de entrada e saída ou IOBs.
- Conexões ou wires;

🔧 Os CLBs são usados para programar as funcionalidades;

🔧 As interconexões são pre-definidas;

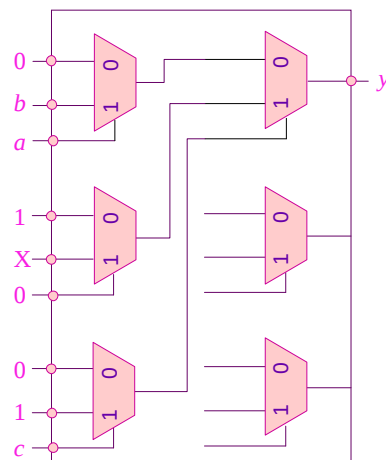
🔧 Os IOBs podem ser programados para realizar entradas/saídas



DISPOSITIVOS RE-CONFIGURÁVEIS

Arquiteturas de CLBs

🔧 9 CLBs podem ser baseados em multiplexadores ou MUX



$$y \leq a \text{ and } b \text{ or } c$$

DISPOSITIVOS RE-CONFIGURÁVEIS

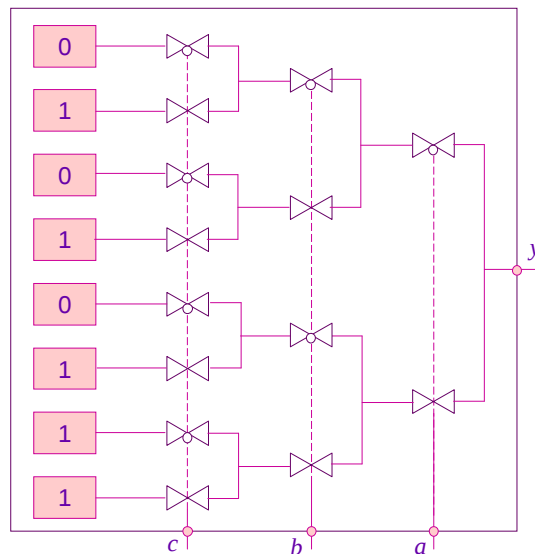
🔧 9 CLBs podem ser baseados em multiplexadores ou LUT

a	b	c	y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

$$y \leq a \text{ and } b \text{ or } c$$

⊗ Porta de transmissão ativa em 0

⊗ Porta de transmissão ativa em 1

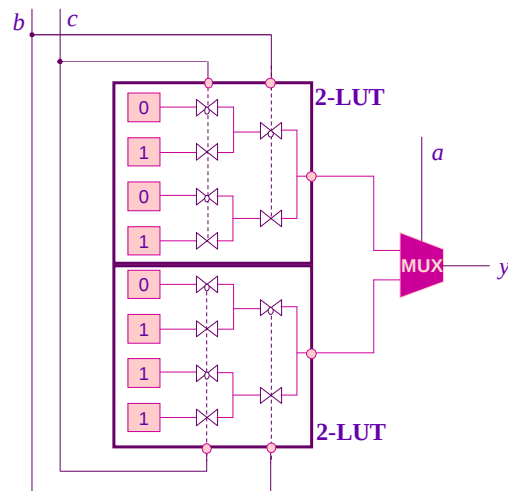


DISPOSITIVOS RE-CONFIGURÁVEIS

- As LUTs em CLBs podem ser de 3, 4, 5 e até 6 entradas;
- As LUTs com 4 entradas são as mais populares e as mais “balanceadas” em termos de área e tempo de resposta;
- Também, LUTs de diferentes tamanhos podem ser incluídas num mesmo CLB, como no caso das FPGAs da família VIRTEX-5;
- As LUTs podem ser usadas como uma memória RAM, que é geralmente chamada RAM distribuída porque as suas células são espalhadas num chip.
- Por exemplo, uma LUT de 4 entradas pode ser usada como uma memória RAM distribuída de 16x1 bits.
- Algumas famílias de FPGAs permitem usar as LUTs com registrador de deslocamento, conectando as células da LUT;

DISPOSITIVOS RE-CONFIGURÁVEIS

- As LUTs de tamanho pequeno podem ser agrupadas para implementar LUTs de tamanho maior.

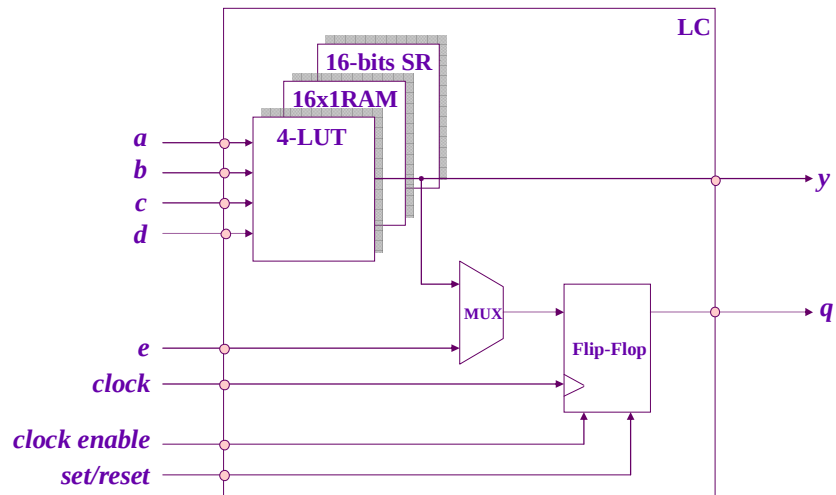


a	b	c	y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

DISPOSITIVOS RE-CONFIGURÁVEIS

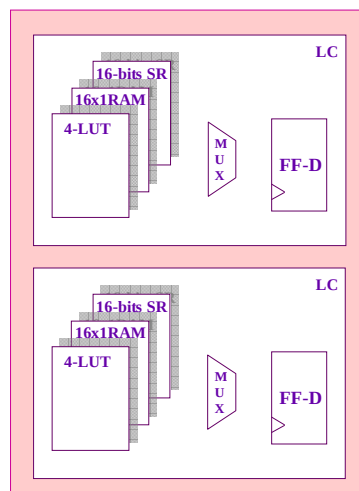
Arquitetura de um CLB

🔧 Primeiro, a arquitetura de uma célula lógica da XILINX ou LC



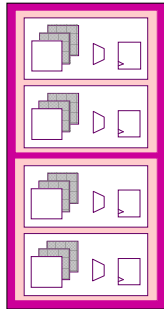
DISPOSITIVOS RE-CONFIGURÁVEIS

🔧 O conjunto de duas células lógicas formam o que é chamado de uma fatia ou SLICE

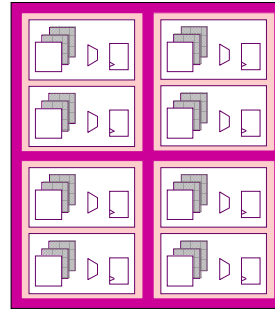


DISPOSITIVOS RE-CONFIGURÁVEIS

- ✿ Em algumas famílias de FPGAs, um CLB é formado por um conjunto de dois SLICES e em outras por quatro SLICES.
- ✿ A nomenclatura CLB é da XILINX. A ALTERA usa o nome LAB – Logic Array Block ou bloco de arranjo lógico.
- ✿ Dentro do CLB, existem interconexões de alta velocidade entre os blocos lógicos.



CLB de 2 SLICES



CLB de 4 SLICES

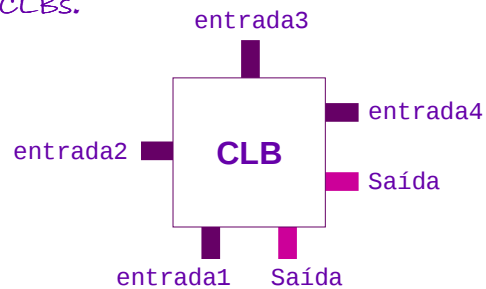
DISPOSITIVOS RE-CONFIGURÁVEIS

- ✿ Observe que com um CLB (com 4 SLICES), pode-se construir :
 - Uma RAM single-port de:
 - 16x8 bits;
 - 32x4 bits;
 - 64x2 bits;
 - 128x1 bit;
 - Uma RAM dual-port de:
 - 16x4 bits;
 - 32x2 bits;
 - 64x1 bit;
 - Um registrador de deslocamento de 128 bits, já que existem conexões dedicadas entre os LCs dentro do SLICE e entre os SLICES eles mesmos que permitem conectar o último bit do SR de um LC ao primeiro do outro.

DISPOSITIVOS RE-CONFIGURÁVEIS

Pinagem dos CLBs

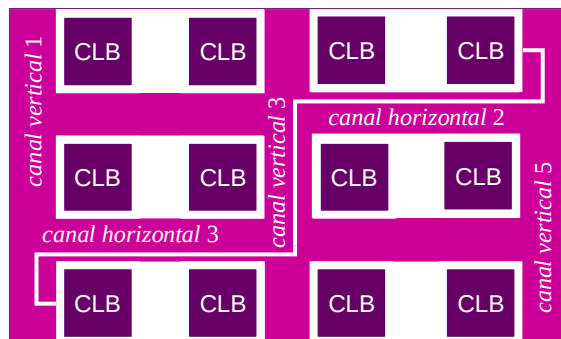
- ☛ Geralmente, os sinais de clock e todos os sinais de fanout alto são geralmente roteados através de uma rede de canais dedicados;
- ☛ As sinais de entrada são distribuídos entre os lados do elementos lógicos;
- ☛ Os sinais de saída podem ser duplicados para facilitar a interconexão entre os CLBs.



DISPOSITIVOS RE-CONFIGURÁVEIS

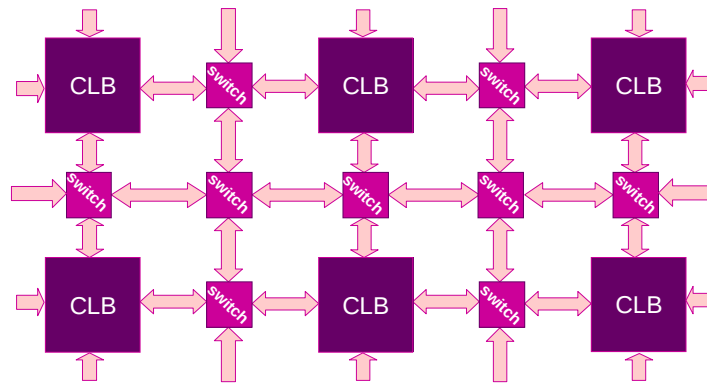
Interconexões numa FPGA

- ☛ Interconexões podem ser feitas entre CLBs e também entre interconexões;
- ☛ As interconexões são geralmente organizados em canais de roteamento que podem correr horizontal ou verticalmente através o chip;



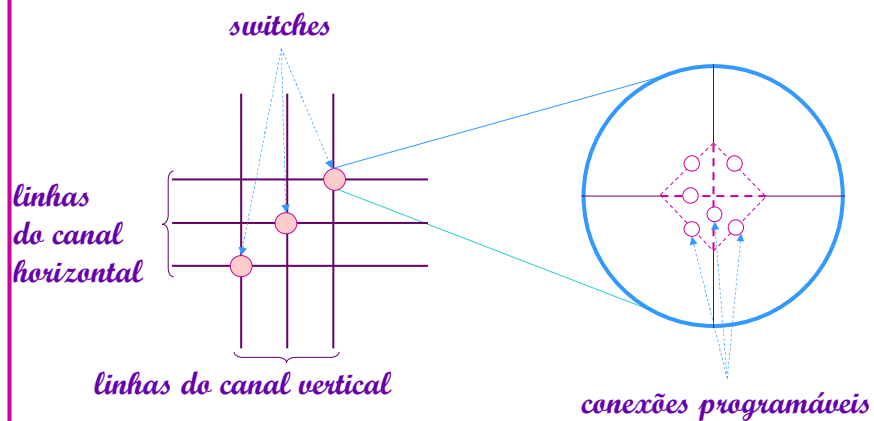
DISPOSITIVOS RE-CONFIGURÁVEIS

Switches e Interconexões Programáveis



DISPOSITIVOS RE-CONFIGURÁVEIS

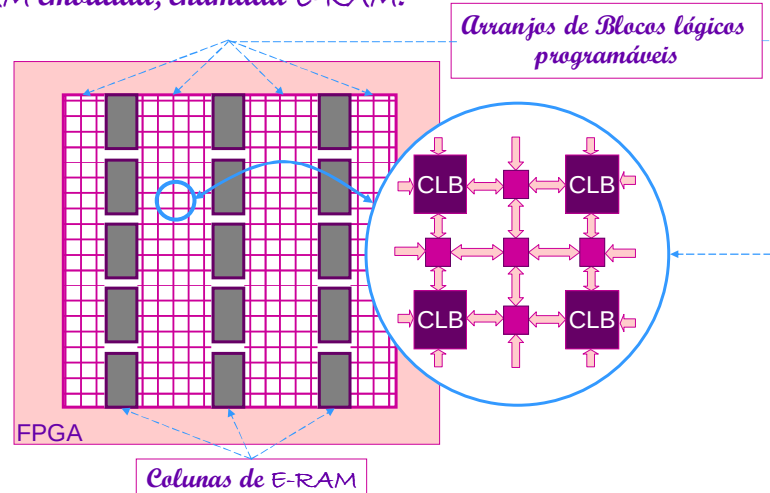
🐼 *Diferentes topologias de switches podem ser usadas.*



DISPOSITIVOS RE-CONFIGURÁVEIS

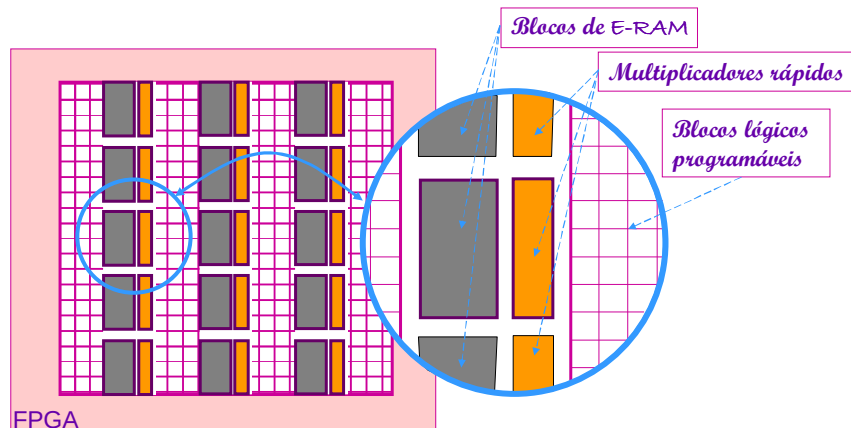
FPGAs com granularidade grossa ou coarse-grain

- As FPGAs modernas podem conter vários blocos de memória RAM embutida, chamada E-RAM.



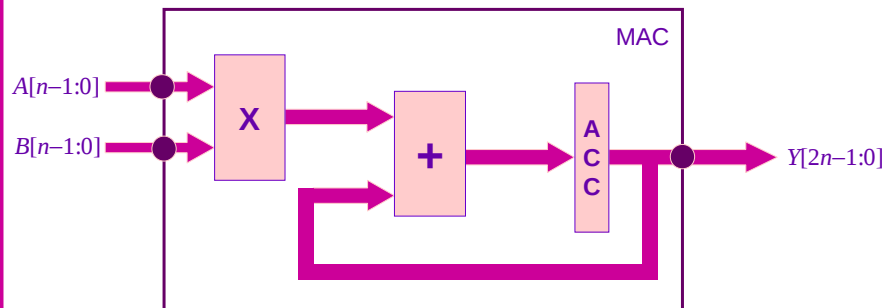
DISPOSITIVOS RE-CONFIGURÁVEIS

- Alguns componentes, como multiplicadores, são inerentemente lentos se implementados interconectando CLBs;
- Como essas funções são usadas na maioria de projetos de SEs, várias FPGAs incorporam multiplicadores especializados.



DISPOSITIVOS RE-CONFIGURÁVEIS

- Similarmente aos blocos de E-RAM e multiplicadores dedicados, as FPGAs modernas oferecem somadores e circuitos que realizam multiplicações e somas sucessivas, geralmente chamados de MACs, e usada em aplicações de processamento digital de sinais.

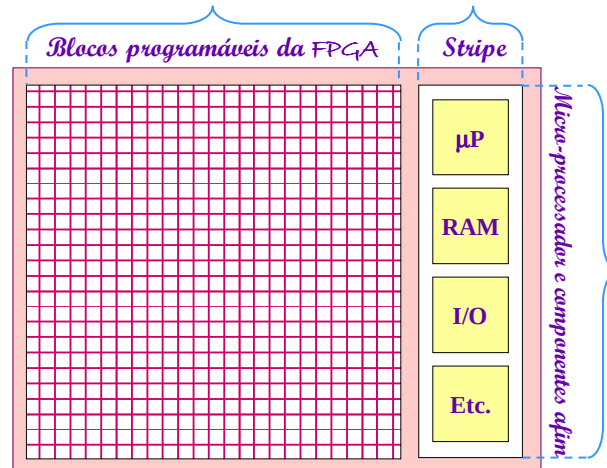


DISPOSITIVOS RE-CONFIGURÁVEIS

- As FPGAs podem também incorporar um, dois ou mesmo quatro micro-processadores embutidos para implementação de sistemas integrados com software e hardware.
- Existem duas maneiras de incluir um micro-processador na FPGA:
 - O micro-processador junto com outros componentes relacionados são localizados no que é chamado a faixa ou stripe;
 - Um ou mais micro-processadores são embarcados no meio da FPGA.
- O uso do stripe facilita o trabalho da ferramenta de síntese e os componentes relacionados ao microprocessador podem ser todos embrulhados "bundle" no stripe;
- Os microprocessadores embarcados no meio da malha da FPGA usam a memória distribuída nos CLBs.
- Esta última alternativa permite melhor desempenho devido à proximidade dos micro-processadores com circuitos implementados na malha da FPGA.

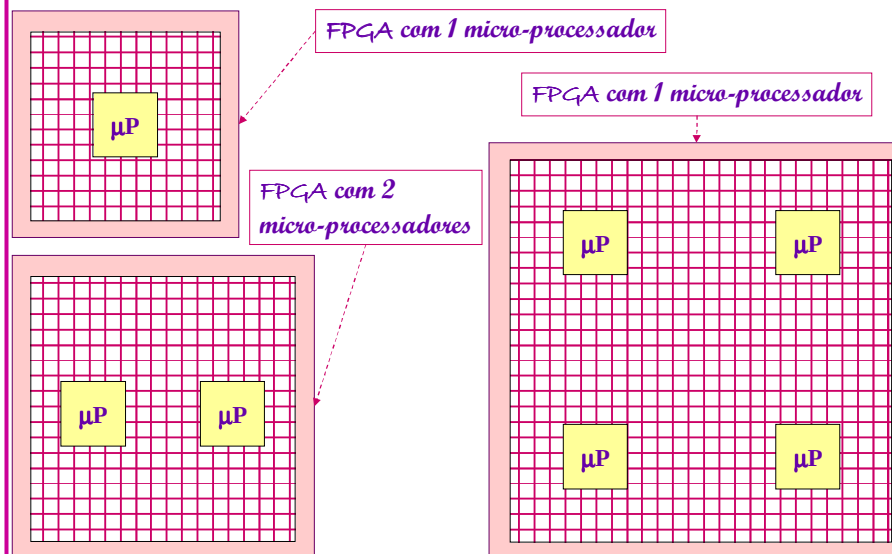
DISPOSITIVOS RE-CONFIGURÁVEIS

Micro-processador e componentes relacionados como memória, blocos de entrada e saída, etc localizados na stripe.



DISPOSITIVOS RE-CONFIGURÁVEIS

Micro-processadores são embarcados na malha da FPGA.



DISPOSITIVOS RE-CONFIGURÁVEIS

- ✿ Invés de embutir fisicamente os micro-processadores na FPGA usando “hard micro-processor cores”, é possível configurar um conjunto de CLBs para atuar como um micro-processador;
- ✿ Isso pode ser feito de duas maneiras, usando:
 - “soft micro-processor cores”: São oferecidas especificações de micro-processadores (entre outros IPs), escritas em HDL, que podem ser instanciadas na especificação do usuário e então compiladas e sintetizadas.
 - “firm micro-processor cores”: Para cada família de FPGAs, são oferecidas especificações de micro-processadores (entre outros IPs), já sintetizadas para a família de FPGA em questão, que podem ser incorporadas na especificação em HDL do usuário.

DISPOSITIVOS RE-CONFIGURÁVEIS

- ✿ Vantagens/desvantagens de hard e soft IP cores
 - Os hard IP cores são mais rápidos. Podem imprimir de 30% a 50% mais velocidade no projeto de SEs do que os soft IP cores correspondentes;
 - O número e tipo de hard IP cores são fixos durante todo o ciclo de vida da FPGA;
 - Os soft IP cores são mais flexíveis já que podem ser incluídos somente quando forem precisos no projeto do SE;
 - O número e tipo de soft IP cores pode ser escolhido dependendo da necessidade do projeto que está sendo desenvolvido;
 - O número e tipo de soft IP cores pode mudar durante o ciclo de vida da FPGA.

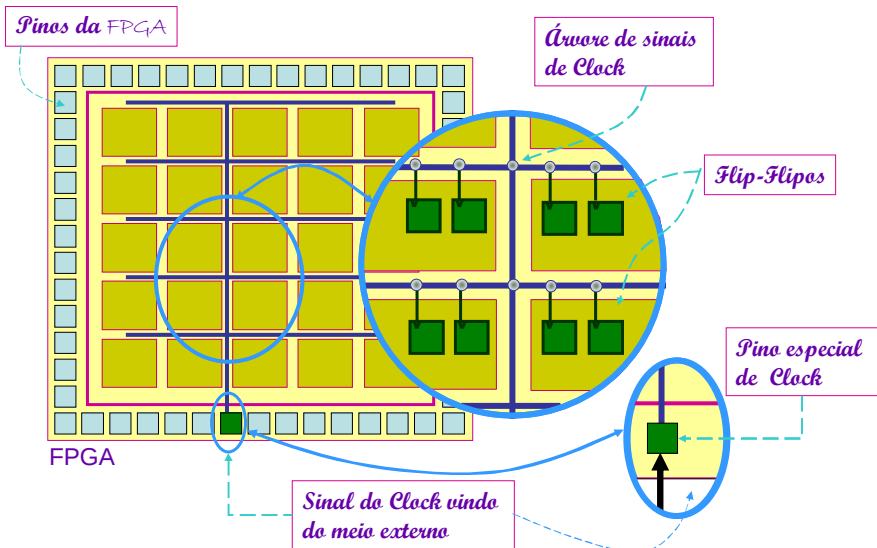
DISPOSITIVOS RE-CONFIGURÁVEIS

Árvores de Sinais de Clock

- Todos os elementos síncronos que são incluídos nas FPGAs são controlados por um sinal de Clock estável.
- Geralmente, esse tipo de sinal tem origem no meio externo a FPGA;
- O sinal de Clock entra na FPGA através de um pino especial (as vezes mais de um) e encaminhado para os elementos síncronos da FPGA;
- Os caminhos do sinal do Clock formam uma árvore na FPGA;
- A raiz da árvore de sinais de Clock é o pino especial de Clock da FPGA e as folhas são os componentes síncronos da FPGA, tais como os flip-flops incluídos nos blocos lógicos programáveis;
- A estrutura de árvore permite que os flip-flops todos enxergam o sinal de Clock o mais rápido possível (menor atraso possível);
- Também permite que o problema de “skew” seja minimizado.

DISPOSITIVOS RE-CONFIGURÁVEIS

• Estrutura e localizações da árvore de sinais de Clock



DISPOSITIVOS RE-CONFIGURÁVEIS

Gerenciadores dos sinais de Clock

- ❖ Ao invés de conectar o sinal de Clock diretamente aos flip-flops, este é antes tratado por um componente especial da FPGA, que atua como gerenciador de sinal de Clock;
- ❖ Este componente gera, a partir do sinal de Clock informado do meio externo, uma série de sinais “filhos” de Clock;
- ❖ Estes sinais são encaminhados para alimentar:
 - as árvores de sinais de Clock e/ou
 - pinos de saídas que podem providenciar sinais de clock para outras FPGAs na mesma placa e que devem ser sincronizadas com a FPGA “mestre” (que recebe o sinal de Clock original).

DISPOSITIVOS RE-CONFIGURÁVEIS

- ❖ O gerenciador de Clock permitem algumas operações:
 - Remover o ruído no sinal de Clock informado;
 - Diminuir ou aumentar a frequência dos sinais gerados com relação àquele informado do meio externo;
 - Deslocar a fase do sinal do Clock informado.

