



UNIVERSIDADE DO ESTADO DO RIO DE JANEIRO
Centro de Tecnologia e Ciências
Faculdade de Engenharia
Departamento de Engenharia de Sistemas e Computação

Controle de Processos por Computador

Trabalho 2

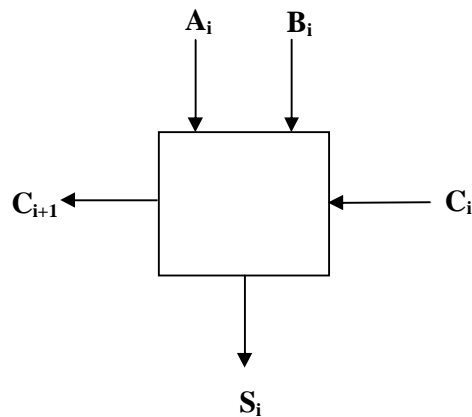
Modelagem e Simulação em VHDL

Aluno:

Prof^a. Luiza de Macedo Mourelle

Este trabalho visa consolidar os conhecimentos adquiridos em sala de aula sobre Modelagem e Simulação em VHDL. Para tal, será utilizado um simulador de VHDL, disponível através da URL <http://www.mycad.com>. Os casos a serem modelados e simulados estão listados a seguir. Os resultados obtidos pelo simulador devem ser incluídos no item associado a cada caso.

1. Considere o projeto do contador de uns, desenvolvido em aula. Apresente o resultado da simulação da especificação no domínio comportamental (algorítmico e fluxo de dados) e no domínio estrutural.
2. Considere o somador completo apresentado no exemplo do manual. Apresente o resultado da simulação da especificação estrutural de um somador de 4 bits.
3. Apresente o resultado da simulação da especificação algorítmica da célula do somador completo, conforme a figura abaixo.



4. Considere um flip-flop JK, cujo comportamento é descrito na tabela abaixo. Apresente o resultado da simulação da especificação em VHDL deste componente.

S	R	J	K	Q	QB
1	0	X	X	1	0
0	1	X	X	0	1
0	0	1	0	1	0
0	0	0	1	0	1
0	0	1	1	não Q	não QB

5. Apresente o resultado da simulação da especificação em VHDL de uma memória de 16 bytes. Considere um barramento de endereço unidirecional (END), um barramento de dados bidirecional (DADO), uma linha de controle de escrita (ESC), uma linha de controle de leitura (LE). A escrita deve ser realizada na transição positiva do sinal de escrita. A leitura deve ser realizada na transição negativa. Quando não for nem escrita, nem leitura, o barramento de dados deve permanecer em alta-impedância.