

Universidade do Estado do Rio de Janeiro

Faculdade de Engenharia

Departamento de Engenharia de Sistemas e Computação

Disciplina: Arquitetura de Computadores

Profª Luiza Mourelle

2ª. Lista de Exercícios

1. Considere uma memória principal de 64 MB, dividida em blocos de 64 bits, e uma memória *cache* de 256 K posições. Qual é a configuração da memória *cache* se utilizarmos um *cache* associativo e se utilizarmos um *cache* de mapeamento direto?
2. Considere um trecho de programa que possui uma instrução de repetição com 1000 iterações. Assumindo-se que o tempo de acesso ao *cache* é de 10ns e o tempo de acesso à memória principal é de 70ns, qual seria o tempo médio de acesso à memória durante a execução desta instrução?
3. Considere uma memória principal de 256 MB, dividida em blocos de 256 bits, e uma memória *cache* de 512 K-posições. Defina a organização do *cache* associativo e do *cache* por mapeamento direto.
4. Dada a seguinte configuração de uma memória *cache* de 32 posições, utilizando mapeamento direto, determine a capacidade máxima de endereçamento do processador.

validade = 1 bit

tag = 14 bits

bloco = 16 bits

5. O que entende por princípio da localidade e qual a sua relação com o conceito de *cache*?
6. O que entende por taxa de acerto no contexto de memória *cache*?
7. O que significa dizer que o *cache* associativo e o *cache* por mapeamento direto são casos especiais do *cache* associativo por conjunto?
8. Descreva as políticas adotadas para tratar de escritas na *cache*. Qual causaria mais tráfego no barramento? Por que?