Aula 2 – Validação Funcional

Se fossemos para a banca, testar o componente, colocaríamos fios nas entradas e saídas. Injetaríamos sinais de estímulo nos fios de entrada e conectaríamos um osciloscópio nos fios de saída, permitindo a visualização do comportamento destes.

Como não temos o componente disponível fisicamente, mas sim um modelo deste, utilizamos simulação para validar o seu funcionamento.

Como tudo em VHDL é componente, criamos um artificio em que o componente a ser testado (mux2x1) passa a ser visto como um subcomponente do componente de teste (testbenchmux2x1).

Obs: Ao longo do texto, selecionar significa *clicar* uma vez!

Introdução à VHDL

Prof^{a.}Luiza de Macedo Mourelle



Dessa forma, a simulação do componente testbenchmux2x1 permite gerar os estímulos (sigA, sigB, sigC) para o mux2x1 e observar o resultado obtido (sigS).

Deve-se observar que A, B, C e S são sinais internos do mux2x1, acessíveis através de sigA, sigB, sigC e sigS, respectivamente! Introdução à VHDL Prof^aLuiza de Macedo Mourelle 2 O componente testbenchmux2x1 tem como característica a ausência de sinais de interface:

```
entity testbenchmux2x1 is
end testbench;
```

Como testbenchmux2x1 é constituído pelo componente mux2x1, sua descrição será necessariamente estrutural:

```
architecture estrutural of testbenchmux2x1 is
```

```
component mux2x1
port (A,B,C: in bit; S: out bit);
end component;
```

```
signal sigA,sigB,sigC,sigS: bit;
```

No corpo da arquitetura do testbenchmux2x1, instanciamos o componente a ser testado (componente), como sendo do tipo mux2x1, e especificamos os estímulos a este ao longo do tempo:

begin

componente: mux2x1 port map(sigA,sigB,sigC,sigS); sigA <= '0', '1' after 10 ns, '0' after 15 ns; sigB <= '1', '0' after 12 ns, '1' after 17 ns; sigC <= '0', '1' after 5 ns, '0' after 13 ns; end estrutural;

Observe que sigs não é acionado, uma vez que está associado à resposta do componente e não a um dos estímulos!

A sequência de atribuições é escalonada no tempo, tendo como referência o tempo t = 0, *i.e.* sigA assume '0' em t = 0ns, '1' em t = 10ns e '0' em t = 15ns, logo 5ns após a última atribuição ('1')!

Introdução à VHDL

Prof^{a.}Luiza de Macedo Mourelle

Para a simulação, vamos utilizar o simulador Modelsim-Intel FPGA Starter Edition (https://www.intel.com/content/www/us/en/software/ programmable/quartus-prime/model-sim.html), disponível gratuitamente para Windows e Linux.

Para ter acesso à área dos arquivos, é necessário se registrar junto à Intel FPGA, para obter um nome de usuário e uma senha, assim que fizer acesso à página.

Há dois arquivos a serem instalados: ModelSimProSetup e ModelSimProSetup-part2. Em seguida, execute ModelsimProSetup, que irá utilizar o ModelSimProSetup-part2 automaticamente.

No Windows, o simulador (modelsim.exe) encontra-se na pasta intelFPGA_pro20.2modelsim_asewin32aloem!

Introdução à VHDL

Prof^aLuiza de Macedo Mourelle

A figura abaixo corresponde à janela de abertura do Modelsim. Nela, identificamos a guia de comandos (topo), a janela da biblioteca (Library) e a janela de mensagens (Transcript), na parte inferior.

ModelSim - INTEL FPG	GA STARTER	EDITION 2020.1_3		-	ð X
File Edit View Com	pile Simi	ulate Add Library Tools Layout I	Bookmarks Window Help		
] 🖹 • 🗃 🖬 🦈 🏐	8. 🖻 (8 🗅 🗋 🕥 - M 🗄 🖬 🗍 🍲 🖞	3 ₩ Ø X 2 3 4 1 2 3 4 3 1 2 3 4 3 4 3 4 3 4 3 4 3 4 3 4 3 4 3 4 3		
] 🖏 - 🐴 - 🥵 🐴 - 4	3				
Library					+ ♂ ×
▼ Name	Type	Path			-
1 220model	Library	\$MODEL_TECH//altera/vhdl/220model			
+ 220model_ver	Library	\$MODEL_TECH//altera/verilog/220m			
+ altera	Library	\$MODEL_TECH//altera/vhdl/altera			
	Library	\$MODEL_TECH//altera/vhdl/altera_l			
altera_Insim_ver	Library	\$MODEL_TECH//altera/verilog/altera			
	Library	\$MODEL_TECH//altera/vhdl/altera_mf			
⊕_ altera_mf_ver	Library	\$MODEL_TECH//altera/verilog/altera			
altera_ver	Library	\$MODEL_TECH//altera/verilog/altera			
- cyclone 10gx	Library	\$MODEL_TECH//altera/vhdl/cyclone			
cyclone 10gx_hip	Library	\$MODEL_TECH//altera/vhdl/cyclone			
E→ cyclone 10gx_hip_v.	Library	\$MODEL_TECH//altera/verilog/cyclo			
	Library	\$MODEL_TECH//altera/vhdl/cyclone			
cyclone 10gx_hssi_v	Library	\$MODEL_TECH//altera/verilog/cyclo			
+ cyclone 10gx_ver	Library	\$MODEL_TECH//altera/verilog/cyclo			
+ floatfixlib	Library	\$MODEL_TECH//floatfixlib			
tourteennm	Library	\$MODEL_TECH//altera/vhdi/fourtee			
+ fourteennm_ct1	Library	\$MODEL_IECH//altera/vhdl/fourtee			
tourteennm_ct1_ve	Library	\$MODEL_IECH//altera/verling/fourt			_
Tourteennm_ver	Library	SMODEL_TECH//altera/verling/fourt			
	Library	\$MODEL_TECH//altera/vndi/220model			
H-M pm_ver	Library	\$MODEL_TECH//aitera/verilog/220m			
	Library	\$MODEL_TECH//05VVIII			
sgate ver	Library	\$MODEL_TECH//altera/verilog/sgate			
State_ver	Library	MODEL_TECH/_/av.etd			
	Library	\$MODEL_TECH/_/altera/v/bdl/tenom			
tennm ct1	Library	\$MODEL_TECH/_/altera/vhdl/tennm_ct1			
□ □ □ □ tennm_ct1 ver	Library	\$MODEL_TECH//altera/verilog/tenn			
a tit ann teacha		¢			
A Transcript					+ @ ×
couldn't open "tran	script":	permission denied			
<pre># Reading pref.tcl</pre>					
ModelSim>					-
<no design="" loaded=""></no>		<no context=""></no>			
۱					
	T				
	Intro	dução à VHDL	Prof" Luiza de Macedo Mourelle	6	

O primeiro passo é criar um projeto, que irá agregar todos os componentes associados a ele, posteriormente:

File>New>Project

ModelSim - INTEL FPG	A STARTER	EDITION 2020.1_3		– 0 ×
File Edit View Comp	ile Simu	late Add Library Tools Layout	Bookmarks Window Help	
] 🗈 • 🚘 🔛 🤣 🕼	<u>X</u> 🖗 í	8 12 C 🖉 · A 🗄 🗖 🛛 🕸 1	🐉 🚟 🕼 📙 🋊 🏕 🋊 🛛 🏩 - 🏩 🗍 Layout NoDesign 🚽 🛛 ColumnLayout AllColumns 🚽	
] 🖏 - 🐴 - 🥵 🖷 - 🗳	ļ.			
Library				+ a ×
* Name	Type	Path		•
+-JII 220model	Library	\$MODEL_TECH//altera/vhdl/220model		
1 220model_ver	Library	\$MODEL_TECH//altera/verilog/220m		
- di altera	Library	\$MODEL_TECH//altera/vhdl/altera		
- altera_Insim	Library	\$MODEL_TECH//altera/vhdl/altera_l		
- altera_Insim_ver	Library	\$MODEL_TECH//altera/verilog/altera		
- altera_mf	Library	\$MODEL_TECH//altera/vhdl/altera_mf		
- altera_mf_ver	Library	\$MODEL_TECH//altera/verilog/altera		
- altera_ver	Library	\$MODEL_TECH//altera/verilog/altera		
- cyclone 10gx	Library	\$MODEL_TECH//altera/vhdl/cyclone		
cyclone 10gx_hip	Library	\$MODEL_TECH//altera/vhdl/cyclone		
cyclone 10gx_hip_v	Library	\$MODEL_TECH//altera/verilog/cyclo		
+ cyclone 10gx_hssi	Library	\$MODEL_TECH//altera/vhdl/cyclone		
+ cyclone 10gx_hssi_v.	Library	\$MODEL_TECH//altera/verilog/cyclo	M Create Project A	
- cyclone 10gx_ver	Library	\$MODEL_TECH//altera/verilog/cyclo	Project Name	
I floatfixlib	Library	\$MODEL_TECH//floatfixlib		
	Library	\$MODEL_TECH//altera/vhdl/fourtee	•	
□ fourteennm_ct1	Library	\$MODEL_TECH//altera/vhdl/fourtee	Project Location	
Furteennm_ct1_ve	. Library	\$MODEL_TECH//altera/verilog/fourt	hojectededini modelnim pap (nin23) lorn Preuvo	
- fourteennm_ver	Library	\$MODEL_TECH//altera/verilog/fourt		
	Library	\$MODEL_TECH//altera/vhdl/220model		
E-II lpm_ver	Library	\$MODEL_TECH//altera/verilog/220m	Default Library Name	
osvvm	Library	\$MODEL_TECH//osvvm	Work	
+ 1 sgate	Library	\$MODEL_TECH//altera/vhdl/sgate		
- sgate_ver	Library	\$MODEL_TECH//altera/verilog/sgate	Copy Settings From	
- sv_std	Library	\$MODEL_TECH//sv_std	modelsim_ase/modelsim.ini Browse	
E-11 tennm	Library	\$MODEL_TECH//altera/vhdl/tennm	C Copy Library Mappings 🙃 Reference Library Mappings	
E-1 tennm_ct1	Library	\$MODEL_TECH//altera/vhdl/tennm_ct1		
	Library	\$MODEL_TECH//altera/verilog/tenn	OK Concel	•
) •••				
📔 Transcript 💷				
couldn't open "trans	cript":	permission denied		<u>^</u>
<pre># Reading pref.tcl</pre>				
ModelSim>				
<u> </u>				T
<no design="" loaded=""></no>		<no context=""></no>		1.
	ntro	ducão à VHDL	Prof ^a Luiza de Macedo Mourelle	7 /
	11110	nnyno n IIDD		/

Project Name: insira o nome do projeto, e.g. projetomux2x1

- Project Location>Browse... e selecione a pasta onde o projeto irá ser armazenado, utilizando uma pasta diferente da que contém o Modelsim (intelFPGA_pro); neste momento, podemos criar a pasta com o nome ProjetoMux2x1
- Default Library: work
- Copy Settings From: modelsim_ase/modelsim.ini
- Selecione Reference Library Mappings.

ModelSim - INTEL FPG	ga starte	R EDITION 2020.1_3	- 0
e Edit View Comp	oile Simu	ulate Add Library Tools Layout Bookmar	ks Window Help
🖹 • 🚘 🗑 🧐 🏐	X 🖗 (🖁 🎦 그 💿 - 🗛 🖶 🗖 🛛 🕸 🎇 🖉	🕻 🎽 📄 🋊 🖓 🋊 👔 - 🏤 - 🏦 📙 Layout NoDesign 🛛 🗹 📔 ColumnLayout AllColumns 🗨
🤹 🚜 • 🤣 🕰 • 🥥	3		
Library			
Name	Type	Path	
220model	Library	\$MODEL_TECH//altera/vhdl/220model	
220model_ver	Library	\$MODEL_TECH//altera/verilog/220m	
altera	Library	\$MODEL_TECH//altera/vhdl/altera	
altera_Insim	Library	\$MODEL_TECH//altera/vhdl/altera_l	
altera_Insim_ver	Library	\$MODEL_TECH//altera/verilog/altera	
altera_mf	Library	\$MODEL_TECH//altera/vhdl/altera_mf	
altera_mf_ver	Library	\$MODEL_IECH//altera/verilog/altera	
allera_ver	Library	\$MODEL_TECH//altera/verilog/altera	
cyclone 10gx hin	Library	\$MODEL_TECH//altera/vhdi/cydone	
cvclone 10ax hip v	. Library	\$MODEL_TECH//altera/verilog/cvclo	
cyclone 10gx_hssi	Library	\$MODEL_TECH//altera/vhdl/cyclone	To to the Y
cyclone 10gx_hssi_v	Library	\$MODEL_TECH//altera/verilog/cyclo	M Create Project X
cyclone 10gx_ver	Library	\$MODEL_TECH//altera/verilog/cyclo	Project Name
floatfixlib	Library	\$MODEL_TECH//floatfixlib	projetomux2x1
fourteennm	Library	\$MODEL_TECH//altera/vhdl/fourtee	
fourteennm_ct1	Library	\$MODEL_TECH//altera/vhdl/fourtee	Project Location
fourteennm_ct1_ve	Library	\$MODEL_TECH//altera/verilog/fourt	OneDrive/Documentos/ProjetoMux2x1 Browse
fourteennm_ver	Library	\$MODEL_TECH//altera/verilog/fourt	
In International	Library	\$MODEL_TECH//altera/vndi/220model	Default Library Name
	Library	MODEL_TECH//altera/verligg/220m	work
soate	Library	\$MODEL_TECH/_/altera/vhdl/coate	
sgate ver	Library	\$MODEL_TECH//altera/verilog/sgate	Copy Settings From
sv std	Library	\$MODEL TECH//sv std	modelsim_ase/modelsim.ini Browse
tennm	Library	\$MODEL_TECH//altera/vhdl/tennm	C Copy Library Mappings 🙃 Reference Library Mappings
tennm_ct1	Library	\$MODEL_TECH//altera/vhdl/tennm_ct1	
tennm_ct1_ver	Library	\$MODEL_TECH//altera/verilog/tenn	OK Cancel
anscript			
ldn't open "trans eading pref tol	script":	permission denied	
eading pier.cor			
elSim>			
D () () ()		Alla Captauth	

Feche a janela Add items to the Project.

Agora temos uma nova janela, designada Project, ao lado de Library. Selecione a janela Library, onde poderá observar a presença da pasta work, com a informação de que está vazia (empty). É nessa biblioteca que todos os componentes que comporão o mux2x1 serão montados. Não faça alterações nessa pasta!

Agora vamos criar o nosso primeiro componente. Selecione a janela Project e, em seguida:

File>New>Source>VHDL

Uma nova janela (Untitled-1.vhd) é disponibilizada à direita de Project, onde iremos editar a descrição da entidade do mux2x1, conforme elaborado anteriormente.

Introdução à VHDL

Prof^a.Luiza de Macedo Mourelle

(
ModelSim - INTEL FPGA STARTER EDITION 2020.1 3	– – ×
File Edit View Compile Simulate Add Source Tools Lavout Bookmarks Window Help	
■ · 😂 ■ 🗇 番 ¾ 角 🛍 으 ○ · 🐴 🚍 🗖 🦠 🎘 🛱 🧸 🔀 ‡ 🌧 ‡ ¾ · 즲 - ஆ Layout NoDesign	ColumnLayout AllColumns
🕮 Project - C:/Users/ldmm/OneDrive/Documentos/ProjetoMux2x1/projetomux2x1 ===================================	vhd - Default *; 🕇 🗗 🗴
Image: Name A Status Type Order Modified Ln#	
<pre>2 port (A,B,C: in bit; S: out bit); 3 end mux2x1; </pre>	
All Library × 🕮 Project ×	>
A Transcript	: <u>+</u>] ø
<pre>couldn't open "transcript": permission denied # Reading pref.tcl # Loading project projecomux2x1</pre>	Ē
	-
production /	<u></u>
Introdução à VHDI Prof ^a Luiza da Maca	Mouralla 11

Em seguida, vamos salvá-lo:

➢ File>Save As...

Na janela Save As, observe que a pasta corresponde à que foi criada para o projeto (ProjetoMux2x1). Atribua o nome ao componente, *i.e.* mux2x1, e salve na pasta do projeto. Não guarde nada na pasta work!

Selecione a janela Project e, em seguida:

Project>Add to Project>Existing File...

Na janela Add file to Project, no campo File Name, insira o nome do arquivo que contém a descrição da entidade do componente mux2x1, *i.e.* mux2x1. Você também pode utilizar o botão Browse, que permitirá visualizar a pasta ProjetoMux2x1, onde se encontra o arquivo mux2x1.vhd.

Introdução à VHDL

Prof^a.Luiza de Macedo Mourelle

(
ModelSim - INTEL FPGA STARTER EDITION 2020.1_3	X
File Edit View Compile Simulate Add Project Tools Layout Bookmarks Wir	ndow Help
E • ☞ 🖬 ♥ 善 ½ Pa @ ⊇ ≙ ⊘ • A h h 🗖 🕸 🕮 🚑 🕅	🕈 🌣 🛊 🛔 🍰 - 🚵 - 🏦 🛛 Layout NoDesign 🚽 🔤 ColumnLayout AllColumns 🚽
Project - C:/Users/Idmm/OneDrive/Documentos/ProjetoMux2x1/projetomux2x1	z + 🗗 🗙 H C:/Users/Idmm/OneDrive/Documentos/ProjetoMux2x1/mux2x1 - Default // 🖉 2
	<pre> Interface in the stype</pre>
Library X Project X	
<pre>Transcript couldn't open "transcript": permission denied # Reading pref.tcl # Loading project projetomux2x1 ModelSim></pre>	
Project : projetomux2x1 <no d<="" td=""><td>Design Loaded ></td></no>	Design Loaded >
Introdução à VHDI	Prof ^a I viza de Macedo Mourelle 13

Na janela Project, observe que o arquivo torna-se visível, com um ponto de interrogação em Status, significando que ainda não foi compilado. O processo de compilação verifica se o código está correto e, neste caso, gera a representação interna utilizada pelo simulador. Selecione o arquivo mux2x1 e compile-o:

Compile>Compile Selected

Na janela Transcript, aparece a mensagem "Compile of mux2x1 was successful" e, na janela Project, o atributo Status recebe \checkmark .

Vamos introduzir um erro no modelo, para ver como tratá-lo. Na janela de edição, retiramos o ; ao final da linha 2:

```
entity mux2x1 is
port (A,B,C: in bit; S: out bit)
end mux2x1;
```

Introdução à VHDL

Prof^aLuiza de Macedo Mourelle

Em seguida, vamos salvá-lo:

➢ File>Save

Na janela Project, observe que o arquivo mux2x1 apresenta um ? no atributo Status, indicando que requer compilação. Selecione o arquivo mux2x1 e o compile novamente:

Compile>Compile Selected

Na janela Transcript, aparece a mensagem "Compile of mux2x1 failed with 1 errors" e, na janela Project, o atributo Status recebe X. Ao selecionar duas vezes a mensagem, aparece a janela "mux2x1 – Unsuccessful Compile", indicando o erro na linha (3) e sugerindo que seja a falta do ;.

Introdução à VHDL

Prof^a.Luiza de Macedo Mourelle

	Add Transcript Tools	Layout Bookmarks	Window H	lelp 🖹 • 🏊 • 🔝	Layout NoDesign		ColumnLayout AllColumns		
8 × 🛂 + 🤪 📹 + 🔩] X. Project - C: Alsers /dmm/OneDrive	Documentos ProjetoMux2x1/orojeto	ww2v1		C: / Isers /dmm/Or	peDrive /Documentos /ProjetoM	uv2v1/muv2v1	- Default		+
ame 🛆 Status 1	Type Orde Modified			Ln#	iebrive/bocumentos/Projetoi-	0.727.1/110.727.1	- Derburt		•
🛉 mux2x1 🛛 🗙 \	/HDL 0 07/31/2020 07:56:18			1 entit 2 port	y mux2x1 is (A.B.C: in bit: S: ou	t bit)			
		muy 2y1	Insuccessful	Compile	(11/2) 01 21 220, 21 00		×		
		M mux2x1	mla 2002	complicit state	-none C. (Hanna (1 dam (De Duirre (De	autoration (Pro A		
		ojetoMux2x1/m	ux2x1	explicit -stats	=none c:/osers/idmm/c	JneDrive/DC	cumentos/Pr		
		Model Technol r 28 2020	ogy ModelS	im - Intel FPGA	Edition vcom 2020.1	_3 Compiler	2020.04 Ap		
		Loading pa	ckage STAN	IDARD					
		Compiling ** Error: C:/	entity mux Users/ldmm	(2x1 N/OneDrive/Docum	entos/ProjetoMux2x1/m	nux2x1(3):	near "end":		
		(vcom-1576)	expecting	1914					
1000							<u> </u>		
Library 🛛 🛗 Project 🗶		4					>		
ranscript							Close		
ompile of mux2x1 was su	uccessful.								
ompile of mux2x1 was su ompile of mux2x1 failed	with 1 errors.								
eiSim>									
	Proie	ct:projetomux2x1 <no< td=""><td>Design Loader</td><td>d></td><td><no context=""></no></td><td>1000</td><td></td><td>10-</td><td>r.c.</td></no<>	Design Loader	d>	<no context=""></no>	1000		10-	r.c.

Feche a janela "mux2x1 – Unsuccessful Compile" e retorne para a janela de edição. Observe que o erro não está na linha 3, mas nas imediações desta. Neste caso, ao final da linha 2. Vamos corrigir, incluindo o ; e, em seguida, salvá-lo:

≻File>Save

Na janela Project, selecione o arquivo mux2x1 e compile-o novamente:

Compile>Compile Selected

Na janela Transcript, aparece a mensagem "Compile of mux2x1 was successful" e, na janela Project, o atributo Status recebe \checkmark .

Na janela Library, observe que a work não está mais vazia. Selecione o botão + ao lado da work. Agora temos, nesta biblioteca, a entidade (E) mux2x1. Novamente, não faça qualquer alteração/manipulação em qualquer elemento desta janela! Você pode somente consultar, selecionando o botão +.

Agora, vamos especificar a arquitetura do componente mux2x1. Selecione a janela Project e, em seguida:

File>New>Source>VHDL

Observe que uma nova janela de edição aparece (Untitled-1.vhd), mantendo a anterior (mux2x1). Na nova janela, vamos editar a descrição da arquitetura do mux2x1, no domínio comportamental algorítmico, conforme elaborado anteriormente.

Introdução à VHDL

Prof^a.Luiza de Macedo Mourelle

1						
ModelSim - INTEL FPGA STARTER EDITION 2020.1_3					-	×
File Edit View Compile Simulate Add Source Tools La	ayout Bookmarks Window Hel	р				
🖹 • 😅 🖨 🍏 🍜 🧎 🎕 🍄 🗅 🔅 🔕 • 🛤 🏗 🗖	🕸 🛱 🖽 🌠 🕺 🕴 🏞	: * • * • *	Layout NoDesign	ColumnLayout AllColumns		
│ ぺ - ぺ - ♀ ┫ - ♀ │ X• X 🖻 🕺						
Project - C:/Users/Idmm/OneDrive/Documentos/ProjetoMux2x1/projeto	mux2x1 + 🛃 🗙	H C:/Users/Idmm/One	Drive/Documentos/ProjetoMux2x1/Ur	ntitled-1.vhd - Default *		
▼Name △ StatusType Orde Modified	-	Ln#	octure algorithics of muri) el ic		
		2 Degin 3 0 4 5 6 7 0 8 9 10 end al 10 end al	<pre>process (A,B,C) begin if C = '0' then S < else S < end if; end process; goritmica; defende</pre>	(= A; (= B;		
•	•	<				>
Library 🗙 🛗 Project 🗙	4 >	H mux2x1 × H U	ntitled-1.vhd * ×			<
A Transcript			_ /////			
<pre># Compile of mux2xl was successful. # Compile of mux2xl was successful.</pre>						-
# Compile of mux2x1 was successful.						
ModelSim>						
n: 10 Col: 16 ** Proi	ert <mark>: proietomux2x1 <no design="" loade<="" mark=""></no></mark>	≥d>	<no context=""></no>			20-10
Introdução à VHD.	L	Prof ^a .	Luiza de Mace	edo Mourelle	19) /

File>Save As...

Vamos atribuir o nome mux2x1algoritmica para o arquivo que irá conter a especificação da arquitetura algoritmica.

Selecione a janela Project e, em seguida:

Project>Add to Project>Existing File...

Na janela Add file to Project, no campo File Name, insira o nome do arquivo que contém a especificação da arquitetura algorítmica do componente mux2x1, *i.e.* mux2x1algoritmica (sem acento!).

Na janela Project, selecione o arquivo mux2x1algoritmica e, em seguida, compile-o:

Compile>Compile Selected

Introdução à VHDL

Prof^a.Luiza de Macedo Mourelle

Na janela Transcript, aparece a mensagem "Compile of mux2x1algoritmica was successful" e o atributo Status recebe \checkmark .

Na janela Library, selecione o botão + da work. Selecione o botão + junto à entidade (E) mux2x1. Agora temos a arquitetura (A) algoritmica do mux2x1. Novamente, não faça qualquer alteração/ manipulação em qualquer elemento desta janela! Você pode somente consultar, selecionando o botão +.

Pronto, o componente mux2x1 já está pronto na biblioteca work! O próximo passo é verificar se o componente mux2x1 funciona de acordo com a tabela verdade, apresentada anteriormente.

Para tal, vamos criar o componente testbenchmux2x1 já elaborado. Veja que o projeto continua o mesmo (projetomux2x1.mpf), já que testbenchmux2x1 é parte desse projeto!

Introdução à VHDL

Prof^{a.}Luiza de Macedo Mourelle

Image:	; <u>+</u> øj.
<pre>Image: C:/Users/domm/UneDrve/Documentos/ProjetoMux2x1/projetoMux2x1 image: Image: C:/Users/domm/OneDrive/Documentos/ProjetoMux2x1/Untitled-1.vhd - Default *</pre>	<u>+</u> <u>e</u>
↓ ↓ </td <td>></td>	>

File>Save As...

Na janela Save As, atribua o nome ao componente, *i.e.* testbenchmux2x1, e salve-o.

Selecione a janela Project e, em seguida:

Project>Add to Project>Existing File...

Na janela Add file to Project, no campo File Name, insira o nome do arquivo que contém a descrição da entidade e arquitetura do componente testbenchmux2x1, *i.e.* testbenchmux2x1.

Na janela Project, selecione o arquivo testbenchmux2x1:

Compile>Compile Selected

Introdução à VHDL

Na janela Transcript, aparece a mensagem "Compile of testbenchmux2x1 was successful" e o atributo Status recebe **√**.

Na janela Library, selecione o botão + ao lado da work. Agora temos, nesta biblioteca, a entidade (E) testbenchmux2x1. Selecione o botão + junto à entidade e teremos a arquitetura (A) estrutural do testbenchmux2x1.

No caso do testbenchmux2x1, elaboramos a entidade e a arquitetura em um mesmo arquivo (testbenchmux2x1). No processo de compilação, as duas especificações são identificadas para a montagem da biblioteca work!

A vinculação da arquitetura à entidade se faz a partir do cabeçalho em architecture, onde se declara o nome da arquitetura (estrutural) e a qual entidade corresponde (testbenchmux2x1).

Introdução à VHDL

Prof^aLuiza de Macedo Mourelle

A simulação se faz a partir do testbenchmux2x1, que é onde o componente a ser testado é invocado e os estímulos especificados!

Na guia de comandos, no topo da página:

Simulate>Start Simulation...

Na janela Start Simulation, selecione o botão + ao lado de work e, em seguida, selecione a entidade testbenchmux2x1.No campo Resolution, escolha ns (nanosegundos).

> OK

Aguarde até que a janela sim esteja disponível do lado esquerdo, ao lado de Library e Project.

Edit View Compile Simulate Add Project Tools Layout Bookmarks	Window Help			- 🗆
· 🖆 🖬 🗇 🍯 👔 🖿 🎕 😂 🖆 🕢 - 🗛 🏪 🧰 🗍 🧇 🛱 🕮 🚑 🖻	1 · · · 1 * · · * 2	Layout NoDesign	ColumnLayout AllColumns	
• • • • • • • • • • • • • • • • • • •				
ject - C:/Users/Idmm/OneDrive/Documentos/ProjetoMux2x1/projetomux2x1 ===================================	H C:/Users/Idmm/On	eDrive/Documentos/ProjetoMux2x1/tes	tbenchmux2x1 - Default	 ;
mux2x1 VHDL 0 07/31/2020 08:09:49 mux2x1algoritmica VHDL 1 07/31/2020 08:16:26 testbenchmux2x1 VHDL 2 07/31/2020 08:43:04 rary Image: State Sta	1 entity 2 end te 3 archit 5 compor 6 compor 7 port 8 end cc 9 signal M Start Simulation Design VHDL Verilog Verilog VName	r testbenchmux2xl is stbenchmux2xl; ecture estrutural of testbe ent mux2xl A,B,C: in bit; S: out bit); mponent; . sigA,sigB,sigC,sigS: bit; Ubrary C:/Users/dmm/OneDr Entity C:/Users/dmm/OneDr Entity C:/Users/dmm/OneDr Library \$MODEL_TECH/alte Library \$MODEL_TECH/alte Library \$MODEL_TECH/alte Library \$MODEL_TECH/alte Library \$MODEL_TECH/alte Library \$MODEL_TECH/alte Library \$MODEL_TECH/alte Library \$MODEL_TECH/alte	enchmux2x1 1s	
<pre>pile of testbenchmux2x1 failed with 1 errors. pile of testbenchmux2x1 failed with 1 errors. pile of testbenchmux2x1 was successful.</pre>			OK Cancel	
im>				
Project : projetomux2x1 <	No Design Loaded>	\$MODEL_TECH//altera/verilog/altera	mf	20:50

Observe que, na janela de edição, temos uma aba Wave, que corresponde à janela onde os resultados de simulação serão amostrados na forma de ondas quadradas.

Na janela sim, selecione o testbenchmux2x1:

Add>To Wave>All items in the region

Na janela Wave, primeira coluna, aparecem os sinais descritos no testbenchmux2x1. Na segunda coluna, temos os valores binários dos respectivos sinais. A terceira coluna servirá para amostrar as formas de onda ao longo do tempo de simulação.

• 🚅 🔒 🖏 🎒	X 🖻 🛍 .	Ω⊇∣⊚∙	M 🗄 🖬	🕸 🗱 🖉	3 🛣 🛛 🔁 🕯	(m m) [100 ns	÷ 1 1 1	🗙 😂 🙎	n 🖞 🖉	🕴 🏵 1	t 🗼 - 🔝	- 🏦 📗	Layout Simula	te	
lumnLayout AllColu	mns		- I I I I I I I I I I I I I I I I I I I	• 🐴 • 🧬 🐴 •	• 🝕 🛛 X< >X	8 🖌 🛛	1 0 1/0	AU 🧼	N 🖪 🕸		- 	<u></u> <u>+</u> →	1.1.			
• →€ • 🐎 🛛 Seard	n:		(1) (1) (1) (1) (1) (1) (1) (1) (1) (1)	ା ତ୍ତ୍ର 🔍 🧕	s 18 🧟 🛛 🔳		.	r j								
m - Default			🔷 Object	s ::::::	; + @ >	Wave	- Default 🚃									
tance	Design unit	Design unit type	▼ Name		Va 🔄 🗖 Now 🗲	\$ 1+			Msgs							
testbenchmux2x1	testbench mux2x1(al testbench testbench standard	Architecture Architecture Process Process Process Package	 sig integer integer	A B C S ses (Active) =16 =15 =14 =3	0 Signal In 0 Signal In 0 Signal In 0 Signal In 1 1 1 1 1 1 1 1 1 1 1 1 1		/testbenchmux /testbenchmux /testbenchmux	2x1/sigA 0 2x1/sigB 0 2x1/sigC 0 2x1/sigS 0								
						≗≣⊙ @ ∦ 9)	Now Cursor 1	0 ns 0 ns	ns 0 ns	200 ns	40	10 ns	600 ns	800	ns
hrary 👻 Ittl Project	U Daim V	•						1algoritmica	1 testhenchm		lmuv2v1 ∀					
Jary A E Project		×1,														
anscript	oenchmux2x1 x1(algoritm enchmux2x1/	(estrutural) nica) *	New O		. <u>p</u>											
																5:20

- Simulate>Runtime Options
- Selectione Binary
- \blacktriangleright Default Run = 100 ns

Observe se o campo Iteration Limit é diferente de 0.

≻ OK

ModelSim - INTEL FPGA STARTER EDITION 2020.1 3 đ \times File Edit View Compile Simulate Add Wave Tools Layout Bookmarks Window Help 🖹 • 🚘 🖶 🍩 🎒 | 🐰 🖻 🛍 🕰 💭 🔅 | 🔕 • 🗛 🔡 🗖 100 ns 🛊 🚉 🚉 🚉 👬 🔊 🕇 🛃 - 👧 - 🏦 ٢ 2 🗄 🔊 🕺 ሜ 👔 ΞŦ 1 Layout Simulate ▼ (m) (m) - 🞣 - 🥵 🖓 - 🥵 ColumnLayout AllColumns * 0 1/0 🗍 🚛 🏄 🖪 🚸 🖽 🏗 **`← →** X∢>X ⊠ R. ¥. . . 1 w 10 m 8 🙉 Q Q 🖉 🧏 🐘 B+ - →E - 🐌 Search: 🖉 sim - Default Wave - Default = :+ 🗗 🗙 :+ @ × 술 Objects + 🗗 🗙 ▼ Instance Design unit Design unit type ▼ Name Va 🔄 🗖 Now 🌶 🕨 **.** . . testbench... Architecture Signal Int /testbenchmux2x1/sigA 0 + 🗾 componente mux2x1(al... Architecture sigB Signal Int /testbenchmux2x1/sigB 0 🅘 line_14 Signal Int testbench... Process sigC /testbenchmux2x1/sigC 0 🥘 line__15 testbench... Process sigS Runtime Options \times - 🥘 line__16 testbench... Process 🗾 standard standard Package Defaults Message Severity WLF Files < > Default Radix Suppress Warnings: C Symbolic From Synopsys Packages 4 From IEEE Numeric Std Packages Binary Processes (Active) O Octal ▼ Name Default RadixFlags Default Force Type O Decimal 🎱 line 🛛 16 Enumnumeric C Freeze 🅘 line__15 O Unsigned 🎒 line__14 Showbase C Drive 🎱 line 🛛 3 O Hexadecimal Wreal C Deposit C ASCIL Default (based on type) 400 ns 600 ns 800 ns C Time C Sfixed Default Run Iteration Limit 100 ns 5000 C Ufixed <> . 🖳 sim 🛛 Library × 🛗 Project × < > A Transcript + 🗗 🗙 OK Cancel Apply # Loading work.testbenchmux2x1(estrutural) # Loading work.mux2x1(algoritmica) add wave sim:/testbenchmux2x1/* VSIM 7> 0 ns to 938 ns Project : projetomux2x1 Now: 0 ns Delta: 0 testbenchmux2x1(estrutural)

Introdução à VHDL

Prof^aLuiza de Macedo Mourelle

Simulate>Run>Run 100

Selecione a terceira coluna da janela Wave e selecione a lupa +, localizada na guia de comandos, o que permitirá aumentar o grau de visão. Ao colocar o cursor (linha amarela vertical) sobre uma determinada posição (selecionando essa posição), os valores correspondentes aos sinais são amostrados na segunda coluna.

Observe que as formas de onda terminam em 100 ns!

Verifique se, para cada combinação dos sinais de entrada, a resposta corresponde à especificação do componente!



Para terminar a simulação:

Simulate>End Simulation

Para sair do Modelsim, selecione a janela Project e, em seguida:

File>Close Project

Observe que a janela Project é fechada. Em seguida:

➢ File>Quit

É importante que se feche o projeto antes de sair do aplicativo. Isto faz com que o Modelsim feche os arquivos de simulação corretamente, a fim de abrí-los da próxima vez sem problemas!

Introdução à VHDL

Prof^a Luiza de Macedo Mourelle

Vamos agora incorporar as outras descrições de arquitetura do mux2x1: fluxodedados e estrutural. Para tal, vamos executar o Modelsim novamente, só que, agora, ao invés de criar um projeto, vamos invocar o projeto que foi criado anteriormente: projetomux2x1.mpf.

➢ File>Open

Na janela Open File, vá para a pasta ProjetoMux2x1. Selecione Project Files, no campo ao lado de Nome, e, em seguida, selecione projetomux2x1.mpf.

> Abrir

	• • • • • • • • • •	1	• •	1 1
A janela Pro	ject torna-	se disponível e o	os arquivos vinc	culados ao
nroieto nroiet	$t_{\rm omuv} 2v1$	são visualizados		
projeto projet	υπαλλη	sao visualizados.		
ModelSim - INTEL FPGA STARTER EDITION 202	20.1_3			>
File Edit View Compile Simulate Add	Project Tools Layout Bookmarks	Window Help		
🖹 • 🚘 💭 🤹 🎆 🗼 🐜 🏛 🕰 😩	💿 - 🗛 🖭 🖬 📙 🦠 🗱 🛺	🛐 📙 🛊 🌲 🛊 🗎 🏂 - 🏤 📕 🕹 Layout NoDesign	ColumnLayout AllColumns	
<i>®</i> ∦ - ø ∦ - ø∯ #∰ - ø 4				
Project - C:/Users/Idmm/OneDrive/Documentos/Pro	ojetoMux2x1/projetomux2x1			: + a
▼ Name △ Statust Type Order Mod H) mux2x1 ✓ VHDL 0 08/0	dified 05:42:38			
H mux2x1algoritmica VHDL 1 07/	31/2020 08:16:26			
H testbenchmux2x1 🗸 VHDL 2 07/3	31/2020 08:43:04			
Library 🗙 🎬 Project 🗴				
				: + &
# Reading pref.tcl				
<pre># reading modelsim.ini # Loading project projetomux2x1</pre>				
ModelSim >				
	Project : projetomux2x1	<no design="" loaded=""></no>		
				20.12
\ T / 1 ~	VUDI			25
<u> </u>	a VHDL	Prof […] Luiza de M	aceao Mourelle	33 -

► File>New>Source>VHDL Reproduzimos, então, o modelo em fluxo de dados já elaborado. ModelSim - INTEL FPGA STARTER EDITION 2020.1_3 Х File Edit View Compile Simulate Add Source Tools Layout Bookmarks Window Help 国・宮日 🖉 🌐 🗼 🍋 🏝 으 🖄 🛛 - 🗛 能 🖬 🗌 🦠 🏙 🛺 🐧 **** Layout NoDesign ColumnLayout AllColumns * 🚜 • 🚜 • 🧬 🖷 • 🥵 🛛 💥 😥 🌾 🛗 Project - C:/Users/Idmm/OneDrive/Documentos/ProjetoMux2x1/projetomux2x1 🗆 H] C:/Users/Idmm/OneDrive/Documentos/ProjetoMux2x1/Untitled-1.vhd - Default * :+ 🗗 🗙 ▼ Name △ Status Type Order Modified Ln# 1 architecture fluxodedados of mux2x1 is VHDL 0 08/01/2020 05:42:38 ... H] mux2x1 2 H mux2x1algoritmica 🖌 VHDL 1 07/31/2020 08:16:26 ... 3 begin H testbenchmux2x1 VHDL 2 07/31/2020 08:43:04 ... 4 5 $S \le ((not A) and B and C)$ 6 or (A and (not B) and (not C)) 7 or (A and B and (not C) or (A and B and C); 8 9 10 end fluxodedados: 📶 Library 🛛 🛗 Project 🛛 🗎 Transcript + 7 # Reading pref.tcl reading modelsim.ini Loading project projetomux2x1 ModelSim> In: 5 Col: 1 ** Project: projetomux2x1 <No Design Loaded> <No Context> Introdução à VHDL Prof^a.Luiza de Macedo Mourelle 36

File>Save As...

Na janela Save As, no campo Nome, inserir mux2x1fluxodedados.

Selecione a janela Project e, em seguida:

Project>Add to Project>Existing File...

Na janela Add file to Project, no campo File Name, inserir mux2x1fluxodedados.

> OK

lisponível para ser compi	ilado.
ModelSim - INTEL FPGA STARTER EDITION 2020.1_3 Edit View Compile Simulate Add Project Tools Layout Bookmarks Wir I → ☞ III ☞ ☞ III ※ III 圖 圖 ☆ 같 III ◎ ~ 鍋 昏 丽 ※ 習 圖 氯 函 IIII ※ III ※ IIII ※ IIII ※ IIII ※ IIII ※ IIII ※ IIIII	indow Help
Image: C:/Users/Idmm/OneDrive/Documentos/ProjetoMux2x1/projetomux2x1 ame	<pre> +</pre>
ranscript eading pref.tcl eading modelsim.ini oading project projetomux2x1 elSim>	

Selecione a janela Project, em seguida, selecione o arquivo mux2x1fluxodedados e, finalmente:

Compile>Compile Selected

Na janela Transcript, aparece a mensagem "Compile of mux2x1fluxodados was successful" e, na janela Project, o atributo Status recebe ✓.

		FDITION	2020 1 3														_	ā	×
File Edit View Co	mpile Simu	late Ad	d Source	Tools L	ayout	Bookmarks W	/indow H	lelp										Ŀ.	~
🖹 • 🚅 🗑 🋸 🏽	ş <u>x</u> 0a∎	<u> </u>	. 🖸 - 🏘	N ∰ M) 🌢 🕯	2 🕮 🚑 就	1 🛊 🏔	* 1	* • 📤 • 🟦	Layou	t NoDesign	•	ColumnLa	out AllColu	mns	w			
	🥰 🛛 X()	X 🖻 🕽	*		,								1						
Project - C:/Users/Idm	nm/OneDrive/D	ocumentos	/ProjetoMux	2x1/projeto	mux2x1	:::::= +] 2	IX HC	C:/Users/le	dmm/OneDrive/	Documentos	/ProjetoMux2x1/r	mux2x1fluxode	dados - Defau	t				+	d X
▼ Name	∆ Sta	tusType	Orde Modifie	ed .			Lr	.n#											
H) mux2x1 H) mux2x1algoritmica		VHDL VHDL	0 08/01/ 1 07/31/	2020 05:42 2020 08:16	:38 :26				architectu:	re fluxod	ledados of mu	1x2x1 is							^
H mux2x1fluxodeda	idos 🗸	VHDL	3 08/02/	2020 10:11	:06			4	begin										
H testbenchmux2x1	. •	VHDL	2 07/31/	2020 08:43	.04		1	5 6 7 8 9 10	S «	<pre>((not or or or dados;</pre>	A) and B and (A and (not (A and B and (A and B and	i C) B) and (no i (not C)) i C);	t C))						
•																			~
Library 🛛 🛗 Proje	ct ×						<pre> </pre>												>
A Transcript																 		<u>+</u>	· · ×
<pre># reading modelsi</pre>	m.ini																		
<pre># Loading project # Compile of mux2</pre>	<pre>projetomu xlfluxoded</pre>	x2x1 ados was	s success	ful.															
, compare of many																			
ModelSim>																 			-
]		Ln: 10	Col: 17	Proj	ject : proj	jetomux2x1 <no< td=""><td>o Design Loa</td><td>aded></td><td></td><td><no cont<="" td=""><td>ext></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td>1</td></no></td></no<>	o Design Loa	aded>		<no cont<="" td=""><td>ext></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td>1</td></no>	ext>								1
	Introd	duçã	ĭo à Ì	VHD	DL				Prof	^{ı.} Luiz	za de N	laced	'o Mo	urelle			40	-	

O próximo passo é simular, utilizando o mesmo testbenchmux2x1 já descrito e utilizado para a arquitetura algorítmica:

Simulate>Start Simulation...

Na janela Start Simulation, selecione selecione o botão + ao lado de work e, em seguida, selecione (E) testbenchmux2x1:

 \blacktriangleright Resolution = ns

≻ OK

Aguarde a janela sim ser disponibilizada ao lado de Library e Project!

Prof^a.Luiza de Macedo Mourelle

<u> </u> ■ • ☎ ₩ ☎ ₩ ₩ ₩ ₩ ₩ ₩ ₩ ₩ ₩ ₩ ₩ ₩ ₩ ₩ ₩ ₩	🛊 🎲 🛊 🖓 🔹 👔 🚽 Layout NoDesign 🗾 🖌 ColumnLayout AllColumns 💌	
🛗 Project - C:/Users/ldmm/OneDrive/Documentos/ProjetoMux2x1/projetomux2x1 🚽 🖻 🗙	H] C:/Users/ldmm/OneDrive/Documentos/ProjetoMux2x1/mux2x1fluxodedados - Default	; + ₫ ×
Immuz21 VHDL 0 08/01/2020 05:42:38 Immuz2x1algoritmica VHDL 1 07/31/2020 08:16:26 Immuz2x1fluxodedados VHDL 2 07/31/2020 08:43:04 Immuz2x1 VHDL 2 08/02/2020 08:43:04 Immuz2x1	<pre> architecture fluxodedados of mux2x1 is begin S <= ((not Å) and B and C)</pre>	
# Loading project projetomux2x1 # Compile of mux2xlfluxodedados was successful.	OK Cancel	
ModelSim>		-
Ln: 10 Col: 17 Project : projetomux2x1 <no desig<="" td=""><td>sign Loaded> Sign Loaded> Prof^{a.} Luiza de Macedo Mourelle 42</td><td></td></no>	sign Loaded> Sign Loaded> Prof ^{a.} Luiza de Macedo Mourelle 42	

A simulação do mux2x1 para cada uma dessas arquiteturas utiliza o mesmo testbenchmux2x1, uma vez que este simplesmente fornece estímulos às entradas do mux2x1, independentemente da sua especificação interna (arquitetura).

Obviamente, o mux2x1 deverá responder da mesma forma, independentemente da descrição interna.

Por isso temos somente um testbench para cada entidade (entity) e não para cada arquitetura (architecture) de qualquer componente! Na janela sim, selecione o testbenchmux2x1:

Add>To Wave>All items in the region

Na janela Wave, aparecem os sinais descritos no testbenchmux2x1 (primeira coluna). Na segunda coluna, temos os valores binários dos respectivos sinais. A terceira coluna servirá para amostrar as formas de onda ao longo do tempo de simulação.

Observe que a janela é idêntica à da simulação da arquitetura algorítmica. Isto porque o componente é o mesmo (mux2x1), mas com uma outra descrição (fluxo de dados)!

🛃 🖬 🏷 🏟 🧎 🛍 🏙 🗅 :	🏔 💿 - 🚧 🖺 T	i 🛛 🕸 🕮 🗛 🛙	🌋 🛛 💁 🕯	• •••• Ef	100 ns 븆	11 11 14	- 🌋 🂲		1	· 科 🕇	1 📩 - 🗟	≿ -	Layout Sin	mulate	-	
nLayout AllColumns		¶ • ¶ • 🔮 🖷 • 4	🎖 🛛 X4 🕅 🔝	🍇 🛛 🔝	0 10 1	ALL 🏄	N 10.	1 1	n: 🚺	L.	<u>t</u> 1• •/	111				
»⊱ - 🐎 Search:	v (1) (1)	▷ 🗍 🍭 🍳 縄 🖧 ,	1 🔍 🖉 🗓		JJJ											
Default	🖃 🕂 🖻 🗙 🏠 Obje	ects	+ @ ×	Wave - D	efault			1								
.ce Design unit De testbenchmux2x1 testbench Arc	sign unit type *Name thitecture 4	sigA 0	Signal Inte	(10)	thenchmux2x1	/ 0	Msgs									
componente mux2x1(flu Arc	chitecture	sigB 0	Signal Inte Signal Inte	/tes	stbenchmux2x1/	/ 0										
line_15 testbench Pro	ocess 4	sigS 0	Signal Inte	/tes	stbenchmux2x1/ stbenchmux2x1/	/ 0 / 0										
line16 testbench Pro tandard standard Pa	cess ckage			r.												
	A Prov	esses (Active)														
	* Name	ту	pe (filtered)													
	2	line16 VH line_15 VH	IDL Process													
			IDL Process													
		line_5 VH	IDL Process													
					Na		0.00	1111111								
				 €∕≎	Cursor	1	0 ns	ns 0 ns	200	ns	400 n	S	600 ns	80	10 ns	
	•			4		▶ ◀	Þ	•								
ry 🗙 🛗 Project 🗙 🛺 sim 🗙	ه» ۱		•	🔢 Wave 🛛	H mux2x1flu	xodedados 🔅	<									
cript																
ing work.testbenchmux2x1(es ing work.mux2x1(fluxodedado	trutural) s)															
ve sim:/testbenchmux2x1/*																
	P	roject : projetomux2x1	Now: 0 ns Delta: 0		sim:/test	tbenchmux2x	1									

- Simulate>Runtime Options
- Selectione Binary
- \blacktriangleright Default Run = 100 ns

Observe se o campo Iteration Limit é diferente de 0.

≻ OK



Introdução à VHDL

Prof^a.Luiza de Macedo Mourelle

Simulate>Run>Run 100

Selecione a terceira coluna da janela Wave e selecione a lupa +, localizada na guia de comandos, o que permitirá aumentar o grau de visão. Ao colocar o cursor (linha amarela vertical) sobre uma determinada posição (selecionando essa posição), os valores correspondentes aos sinais são amostrados na segunda coluna.

Observe que as formas de onda terminam em 100 ns!

🖹 • 🚅 🖬 🖏 🎒	🗼 🖻 🛍 🗅 📿 🔕 - 🕯	å È <mark>M</mark>	🕸 🗱 🖽 💭 🕱	B 1 4	= 👐 It	100 ns 🛓		4 🕺 💲		🕦 🚸 📗	🕇 🔊	• 🕇	1 - 🚵	- 🏦	Layout	Simulate	_		
ColumnLayout AllColu	umns	w 3.	• 🐴 • 💕 🐴 • ঝ	X 🕅	🍾 🚺	0 1/0 1	all 🏄		, 🚸 .			ᅸᅸ	`_+ →		<u>ار جا</u>				
े उ⊷ २० किंग Searc	ch: 📃 💓 🥼	d 🖧 🥙	ତ୍ତ୍ 🔍 🖉 😽 🕄	à 💷		l J J													
🖉 sim - Default 🚃	+ @ ×	🔷 Objects		-+•×	🗾 Wave - D	efault 🚃													d ×
TInstance	Design unit Design unit type	▼ Name	<u>16</u> • :	4 ns ≯ ►	<u>_</u>			Msg	js		<u> </u>								
<pre>itestientinux21</pre>	tesbench Architecture mux2x1(flu Architecture testbench Process testbench Process tesbench Process standard Package	 sigA sigB sigC sigC sigS sigS 	es (Active)Type (1	Signal Inte Signal Inte Signal Inte Signal Inte Signal Inte		stbenchmux2x: stbenchmux2x: stbenchmux2x:													
					≗≣⊙ ⊜∕°⊜	N Curso	ow r 1	100 ns 24 ns	s <mark>ns</mark>	20 n	is 24 ns	40 ns		60 ns	80	ns	100 ns	120 ns	
•	Þ				•		▶ ◀		•										Þ
👖 Library 🛛 🛗 Project	× 🛺 sim × 🤞	•		Þ	📰 Wave 🗧	H mux2x1fl	uxodedados	×									,		*
A Transcript																		<u> </u>	d ×
<pre># Loading work.mux2 add wave sim:/testb VSIM 3> run</pre>	2x1(fluxodedados) penchmux2x1/*																		-
VSIM 4>																			-
0 ns to 128 ns	Project : projetomux2x1	Now: 100 ns	Delta: 0	sim:/testbe	nchmux2x1														
Observ descrie	ve que o ção algor	resı 'ítm	ıltado ica!	é id	ênti	.co a	10 C	obti	idc) a	pa	rti	r c	la	sin	nula	ação) C	la

Introdução à VHDL

Prof^{a.}Luiza de Macedo Mourelle

Para terminar a simulação:

Simulate>End Simulation

Para sair do Modelsim, selecione a janela Project e, em seguida:

File>Close Project

Observe que a janela Project é fechada. Em seguida:

➢ File>Quit

É importante que se feche o projeto antes de sair do aplicativo. Isto faz com que o Modelsim feche os arquivos de simulação corretamente, a fim de abrí-los da próxima vez sem problemas!

Introdução à VHDL

Prof^a Luiza de Macedo Mourelle

Pode-se elaborar todo um projeto em um único arquivo, de onde o compilador extrai todos os elementos para a construção da biblioteca work. No entanto, qualquer alteração que seja necessária, fará com que todo o arquivo seja manipulado, o que pode ser inconveniente quando o tamanho do projeto for considerável. A utilização de um arquivo por componente facilita a identificação e manipulação do componente na pasta do projeto.

Outro aspecto é que a todo e qualquer componente, se faz corresponder uma única entidade e, para cada entidade, pode-se associar mais de uma arquitetura. No caso do mux2x1, elaboramos uma algorítmica, uma fluxo de dados e uma estrutural. No entanto, só temos uma única entidade. O nome da arquitetura é genérico e não está associado a qualquer modelo em especial.