

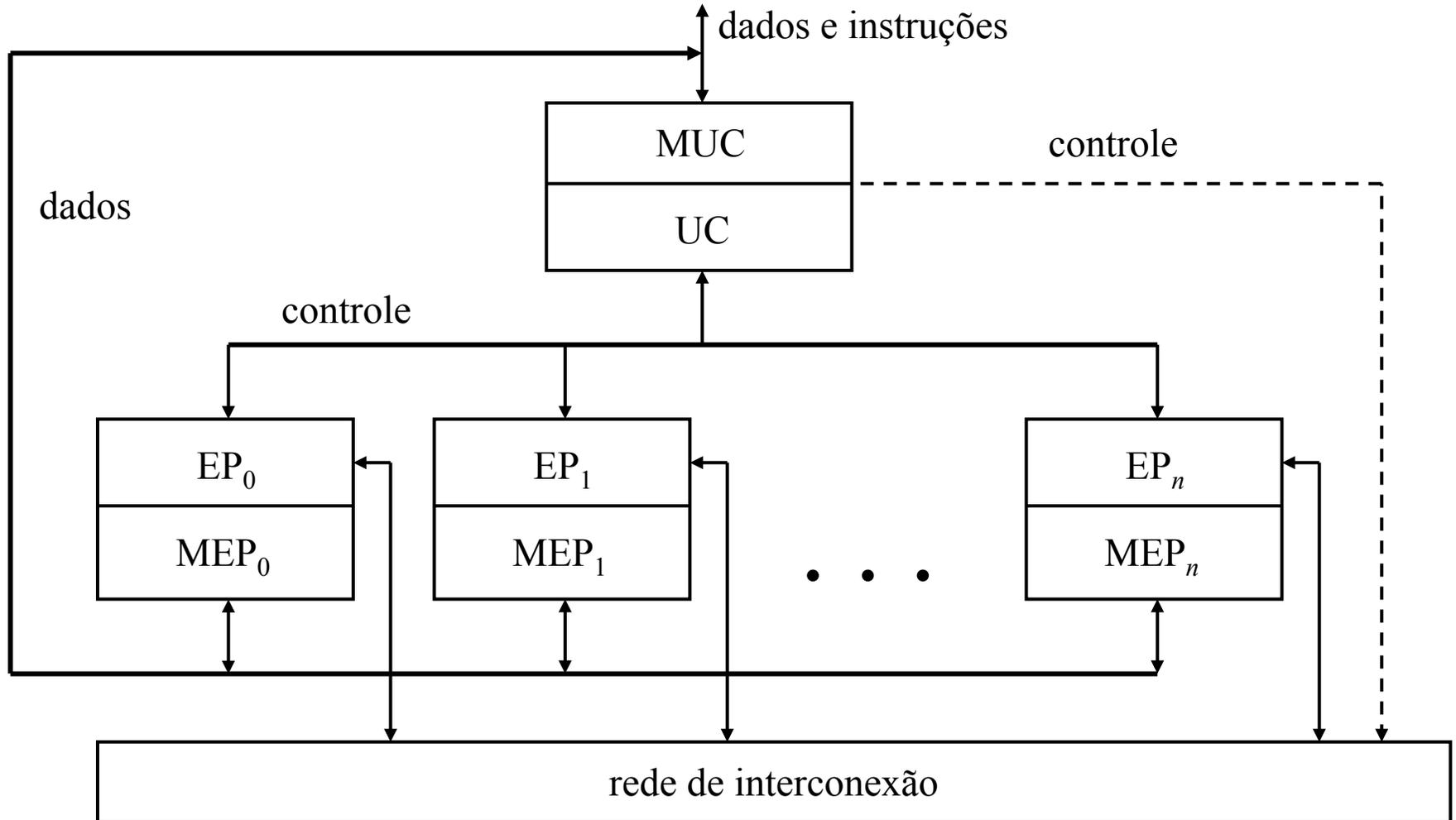
Arranjo de Processadores

Um arranjo síncrono de processadores paralelos é chamado arranjo de processadores, consistindo de múltiplos elementos processadores (EPs) sob a supervisão de uma unidade de controle (UC).

Arranjo de processadores são máquinas SIMD especialmente projetadas para realizar computações vetoriais sobre matrizes ou arranjo de dados.

Uma configuração inicial está estruturada com n EPs síncronos, todos sob o controle de uma UC. Cada EP_i é essencialmente uma ALU, com registradores e memória local (MEP_i) para o armazenamento de dados distribuídos.

Arranjo de Processadores



Arranjo de Processadores

Instruções escalares são executadas dentro da UC. Instruções vetoriais são direcionadas para os EPs para execução distribuída, implementando paralelismo espacial. Todos os EPs realizam a mesma função sincronamente, sendo que os operandos vetoriais são distribuídos às MEPs antes da execução paralela.

Cada EP pode estar ativo ou inativo durante um ciclo de instrução. Um vetor de máscara é utilizado para controlar o estado de todos os EPs. Isto significa que nem todos os EPs precisam participar da execução de uma instrução vetorial.

A troca de dados entre EPs é feita através de uma rede de comunicação, que implementa todo o roteamento necessário e funções de manipulação.

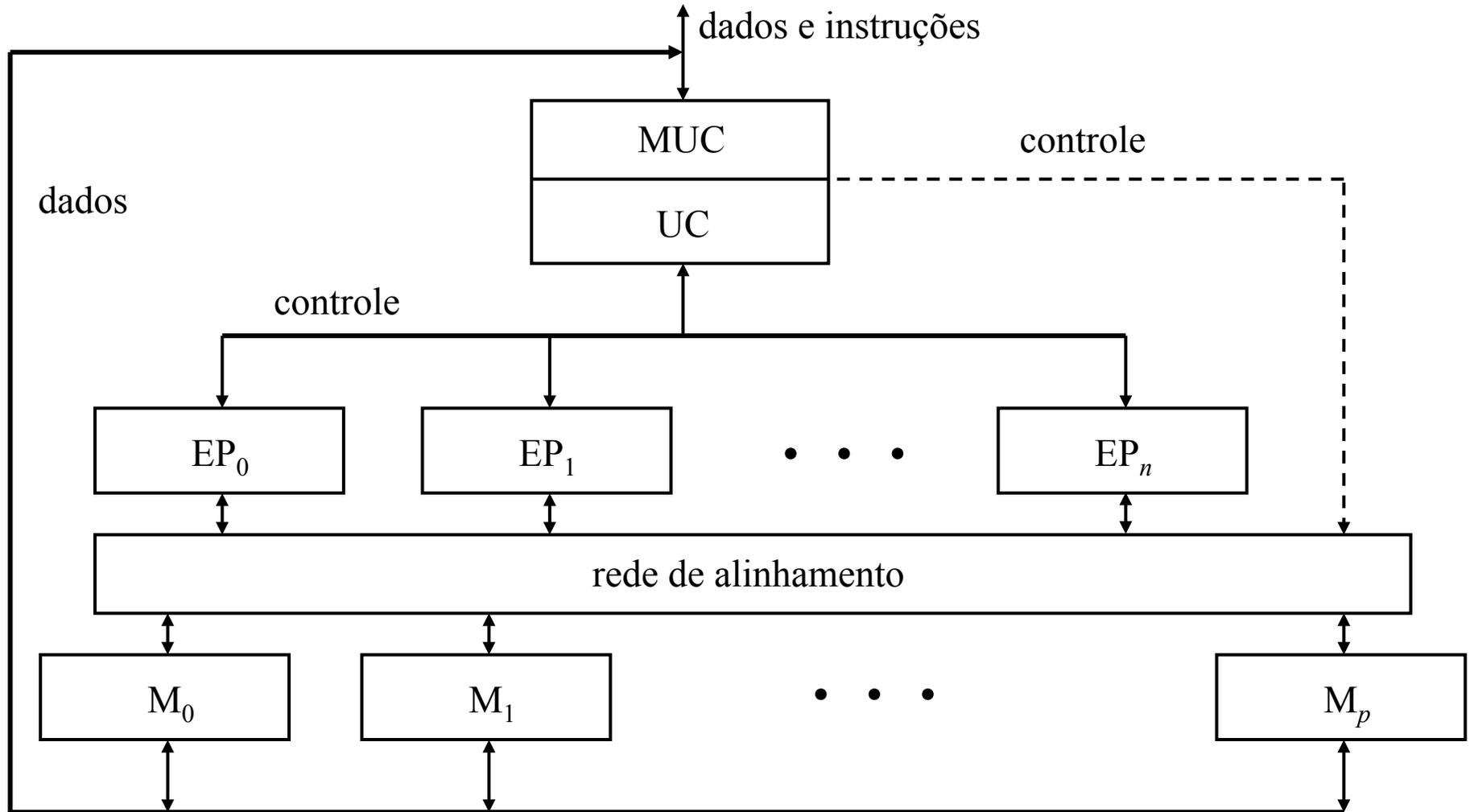
Arranjo de Processadores

Outra configuração para um arranjo de processadores consiste em substituir as MEPs locais por módulos paralelos de memória compartilhados por todos os EPs através de uma rede de alinhamento.

Nesta segunda configuração, há n EPs e p módulos de memória, sendo que esses dois parâmetros não precisam ser iguais.

A rede de alinhamento controla os acessos às memórias compartilhadas por parte dos EPs, evitando conflitos.

Arranjo de Processadores



Arranjo de Processadores

Formalmente, um computador SIMD é caracterizado pelo seguinte conjunto de parâmetros:

$$C = \langle N, F, I, M \rangle$$

onde:

N = número de EPs no sistema;

F = conjunto de funções de roteamento de dados;

I = conjunto de instruções de máquina para operações escalares, vetoriais, de roteamento de dados e manipulação de rede;

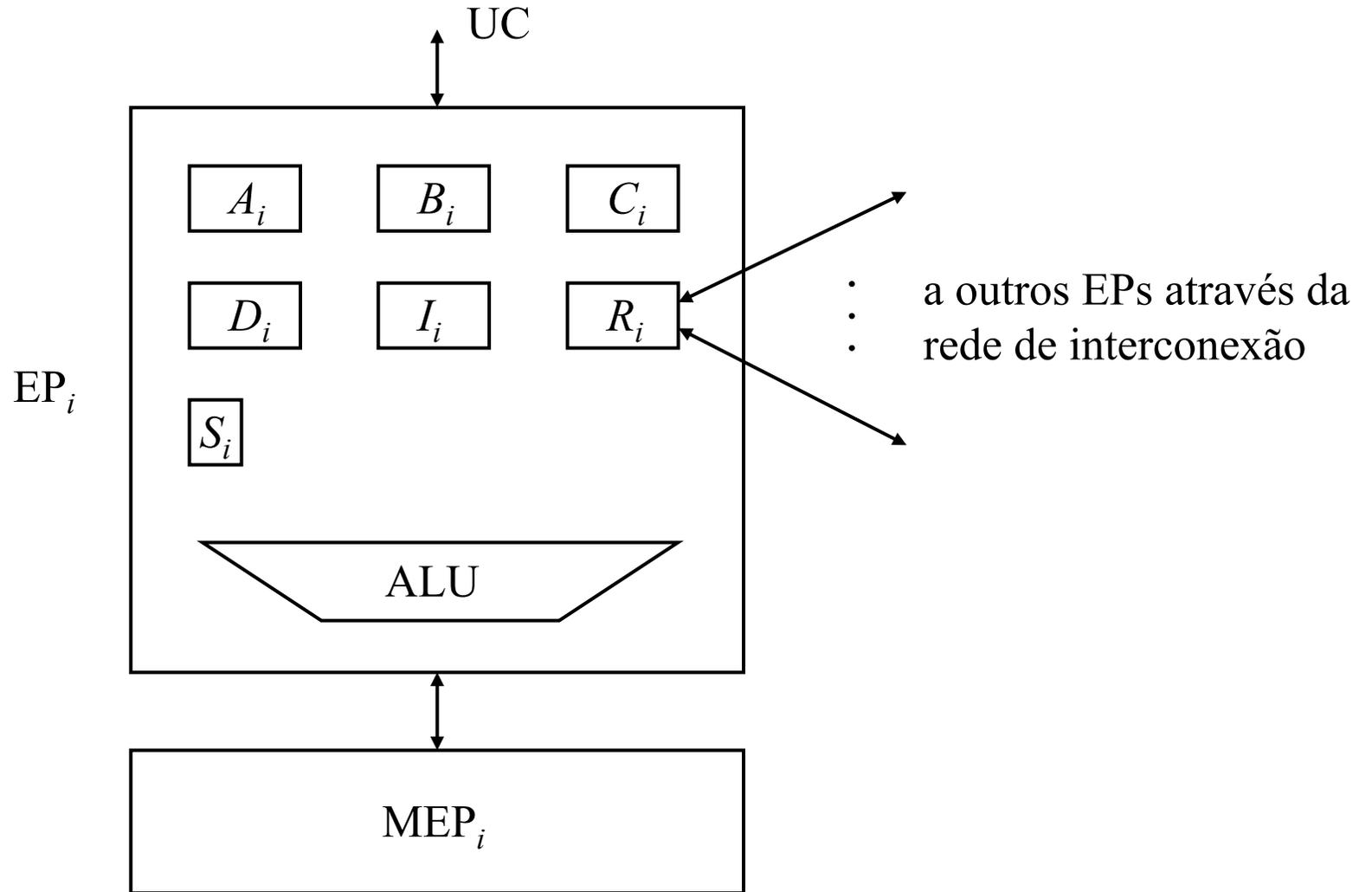
M = conjunto de máscaras, onde cada máscara particiona o conjunto de EPs nos dois sub-conjuntos disjuntos de ativos e inativos.

Arranjo de Processadores

Considere a configuração inicial para um arranjo de processadores, em que cada EP_i é um processador contendo:

- sua própria memória MEP_i ;
- um conjunto de registradores A_i, B_i, C_i ;
- um *flag* de estado S_i ;
- uma unidade lógica e aritmética;
- um registrador de índice local I_i ;
- um registrador de endereço D_i ;
- um registrador de roteamento R_i .

Arranjo de Processadores



Arranjo de Processadores

O registrador R_i de cada EP_i é conectado ao R_i de outros EPs através da rede de interconexão. O conteúdo desses registradores R_i é trocado quando uma transferência de dados entre EPs é feita. Podem ser utilizados dois registradores de roteamento: uma para entrada e outro para saída.

O registrador D_i é utilizado para guardar o endereço de m bits do EP_i , assumindo-se que $m = \log_2 N$.

O *flag* de estado S_i indica se o EP_i está ativo (=1) ou inativo (=0). A UC, por sua vez, possui um registrador de máscara M com N bits. A coleção dos flags S_i forma um registrador de estado S para todos os EPs, cujo conteúdo é trocado com M quando o mascaramento é definido.

Arranjo de Processadores

Do ponto de vista do hardware, o tamanho de um vetor é determinado pelo número de EPs. A UC realiza a segmentação de um vetor longo em laços de vetor.

No melhor caso, os N elementos de um vetor são obtidos de diferentes MEPs simultaneamente. No pior caso, todos os elementos do vetor estão armazenados em uma única MEP e precisam ser buscados seqüencialmente.

Numa computação matricial, a matrix deve ser armazenada de forma a permitir busca paralela de uma linha, uma coluna ou uma diagonal em um ciclo de memória.

Arranjo de Processadores

Os operandos vetoriais podem ser especificados a partir de registradores ou de posições de memória. Neste último caso, o registrador I_i é utilizado para endereçar a MEP_i , modificando o endereço da memória global fornecido pela UC.

Diferentes posições em diferentes MEPs podem ser referenciadas simultaneamente, a partir do mesmo endereço da memória global especificado pela UC.

Considere um arranjo $n \times m$:

$$A = \{A(i, j), 0 \leq i, j \leq n - 1\}$$

Os elementos da coluna j de A são armazenados em n posições consecutivas de MPE_j .

Arranjo de Processadores

Considere a soma $S(k)$ dos primeiros k elementos de uma vetor A , para cada k entre 0 e $n-1$:

$$S(k) = \sum_{i=0}^k A_i, \text{ para } k = 0, 1, \dots, n-1$$

Essas n somas vetoriais podem ser computadas recursivamente através de $n-1$ iterações definidas como:

$$S(0) = A_0$$

$$S(k) = S(k-1) + A_k, \text{ para } k = 1, 2, \dots, n-1$$

Arranjo de Processadores

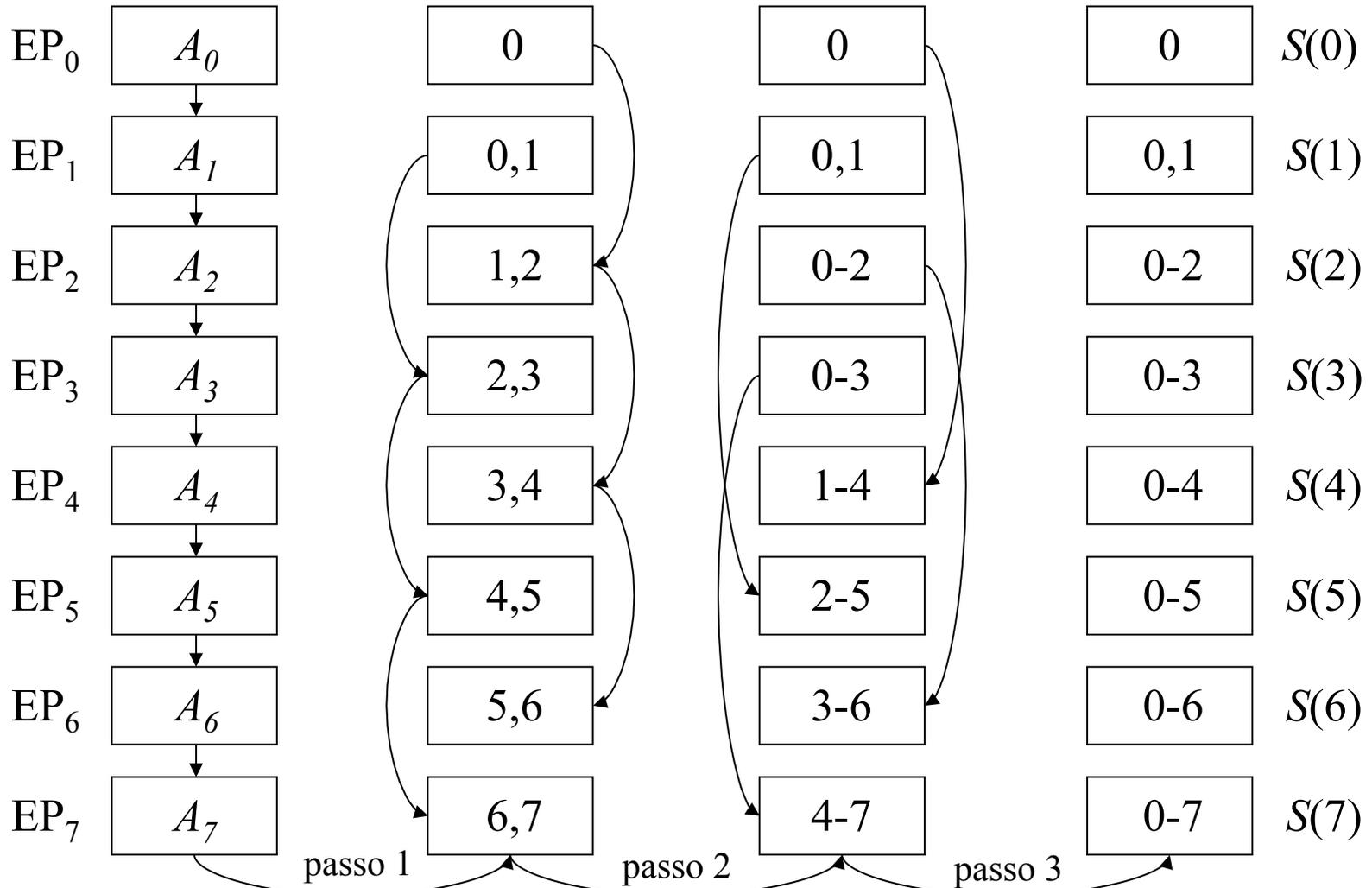
No caso de $n = 8$, a soma recursiva pode ser feita com um arranjo de $N=8$ EPs. Inicialmente, cada A_i , armazenado em MEP_i , é movido para o R_i em EP_i , para $i = 0, 1, \dots, n-1$.

No primeiro passo, A_i é movido de R_i para R_{i+1} e somado a A_{i+1} com a soma resultante $A_i + A_{i+1}$ armazenada em R_{i+1} , para $i = 0, 1, \dots, 6$.

No segundo passo, as somas intermediárias em R_i são movidas para R_{i+2} , para $i = 0$ a 5 .

No passo final, as somas intermediárias em R_i são movidas para R_{i+4} , para $i = 0$ a 3 .

Arranjo de Processadores



Arranjo de Processadores

Os EPs que não são utilizados em cada um dos passos são mascarados pela UC, de acordo. O mascaramento depende da operação: roteamento ou aritmética.

O projeto da rede de interconexão é feito baseado em quatro fatores:

- modo de operação;
- estratégia de controle;
- metodologia de chaves;
- topologia de rede.

Arranjo de Processadores

Quanto ao modo de operação, dois tipos de comunicação podem ser identificados: síncrono e assíncrono. Tradicionalmente, o modo síncrono é o mais utilizado.

Uma rede de interconexão típica consiste de um número de chaves e elos. As funções de interconexão determinam o controle das chaves.

No controle centralizado, há um controlador central que gerencia a função de interconexão. No controle distribuído, cada chave gerencia a função de interconexão. O controle centralizado é o mais utilizado.

As duas principais metodologias de chaves são chave de circuito e chave de pacote.

Arranjo de Processadores

Na chave de circuito, um caminho físico é estabelecido entre fonte e destino. Esta metodologia é preferida para transmitir volumes de dados, sendo a mais utilizada em máquinas SIMD.

Na chave de pacote, dados são postos num pacote e roteados através da rede de interconexão sem estabelecer um caminho físico. Esta metodologia é preferida para transmitir várias mensagens pequenas, sendo mais utilizada em máquinas MIMD.

Uma rede pode ser visualizada como um grafo, em que os nós representam as chaves e os arcos representam os elos de comunicação.

Arranjo de Processadores

Numa topologia estática, os elos entre dois processadores são passivos e barramentos dedicados não podem ser reconfigurados para conexões com outros processadores.

Numa topologia dinâmica, os elos podem ser reconfigurados através do ativamento das chaves da rede.

A escolha da rede de interconexão depende dos requisitos da aplicação, tecnologia disponível e custo da implementação.

Arranjo de Processadores

Podemos identificar os endereços de todos os EPs por um conjunto $S = \{0, 1, 2, \dots, N-1\}$, em que cada função de roteamento f é bidirecional de S para S .

Quando uma função de roteamento f é executada, o EP _{i} copia o conteúdo do seu registrador R_i no registrador $R_{f(i)}$ de EP _{$f(i)$} , ocorrendo simultaneamente em todos os EPs ativos. Um EP inativo pode receber dados, mas não pode transmití-los.

Para transmitir dados entre EPs que não estão diretamente conectados, os dados devem ser passados através de EPs intermediários, executando uma seqüência de funções de roteamento pela rede.

Arranjo de Processadores

As redes de interconexão podem ser do tipo estáticas ou dinâmicas.

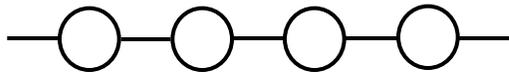
As redes estáticas podem ser classificadas de acordo com as dimensões requeridas para o *layout*.

A topologia de uma dimensão inclui o arranjo linear utilizado por arquiteturas *pipeline*.

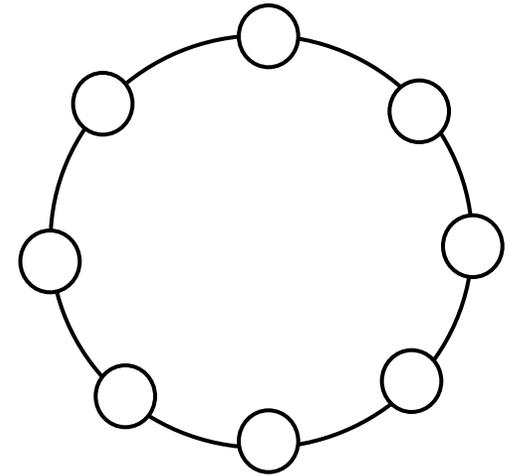
A topologia de duas dimensões inclui anel, estrela, árvore, malha e arranjo sistólico.

A topologia de três dimensões inclui cordão de anéis completamente conectados, 3-cubo e 3-cubo conectado em ciclo.

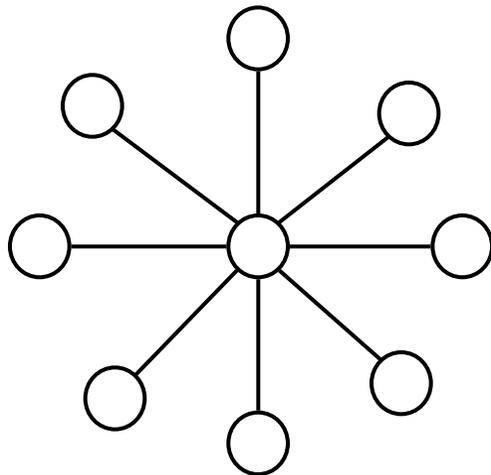
Arranjo de Processadores



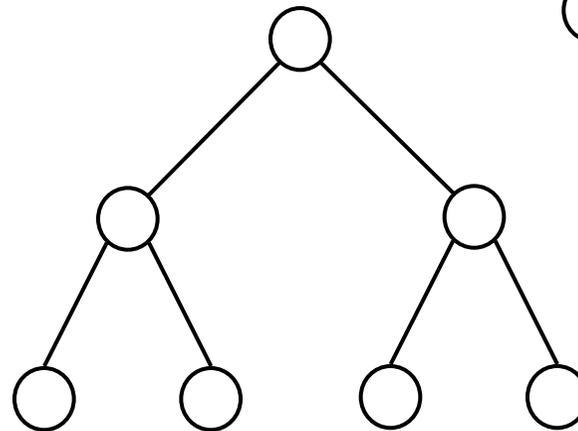
arranjo linear



anel

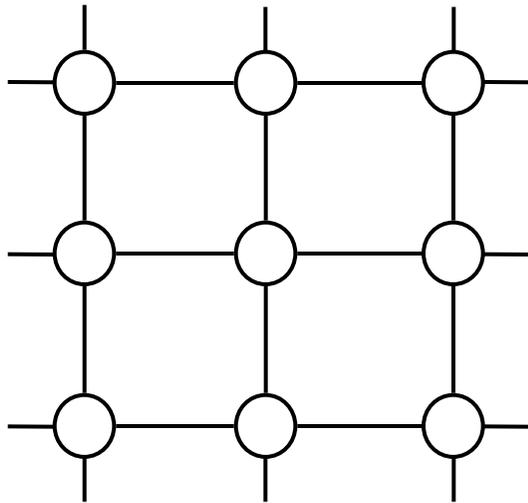


estrela

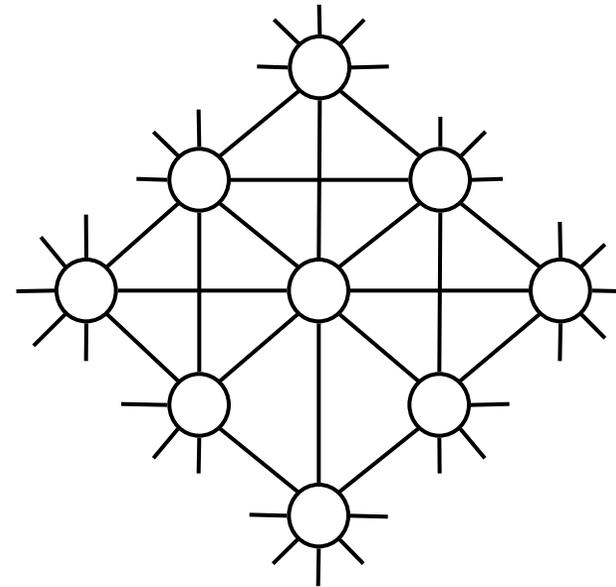


árvore

Arranjo de Processadores

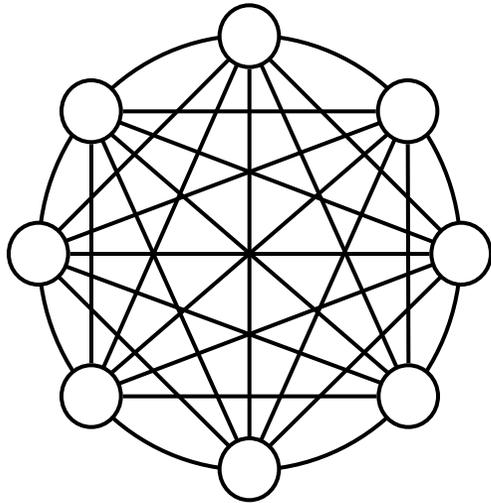


malha

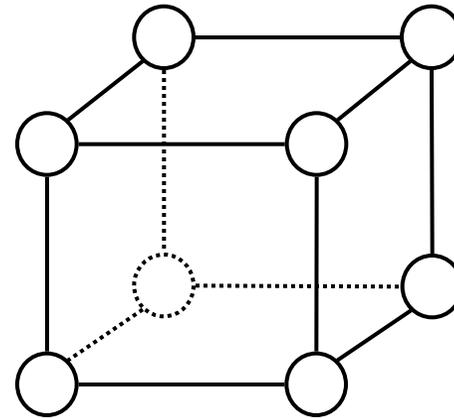


arranjo sistólico

Arranjo de Processadores



completamente conectada



3-cubo

Arranjo de Processadores

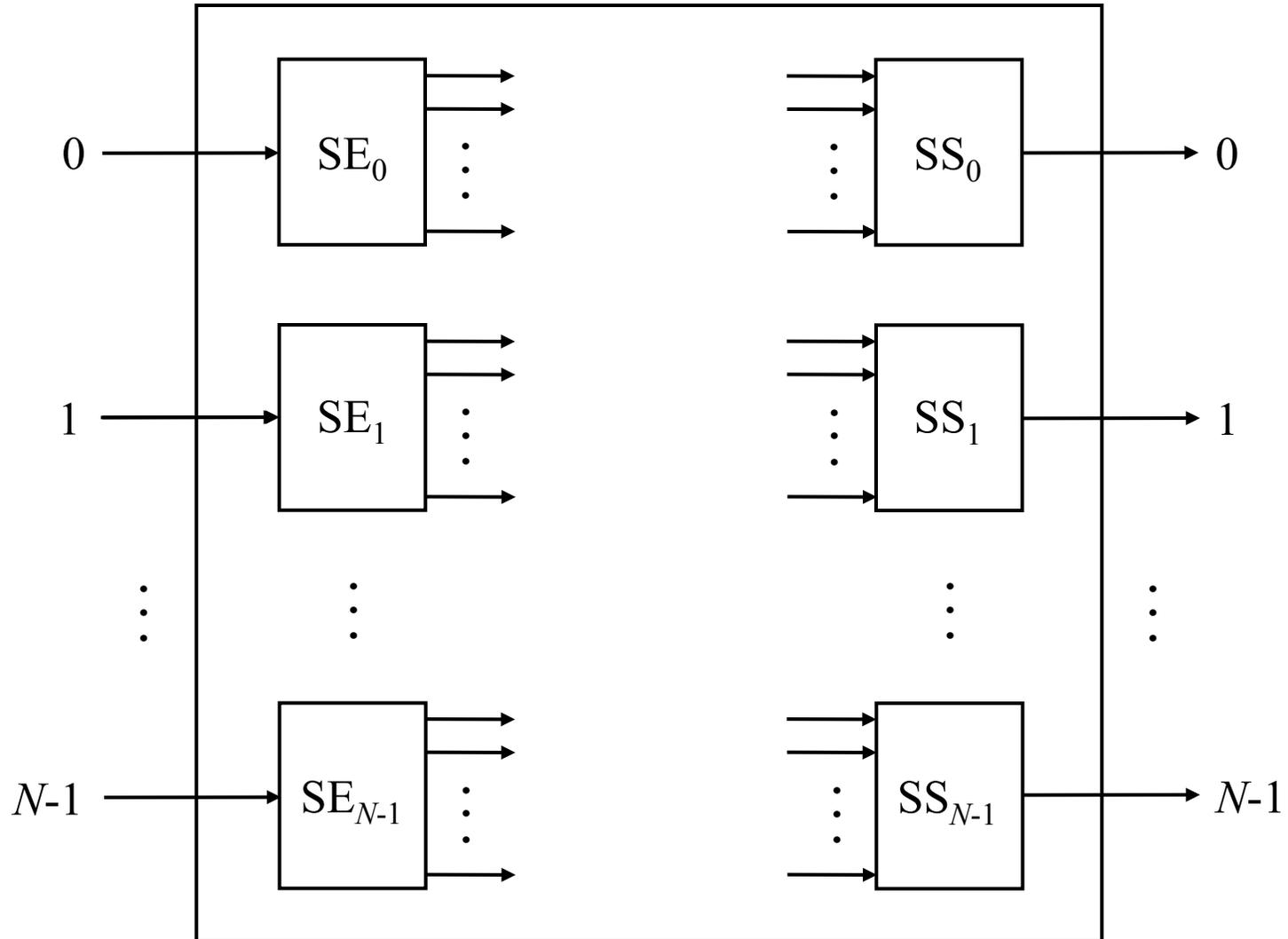
As redes dinâmicas podem ser classificadas em duas classes: estágio simples e estágios múltiplos.

Uma rede de estágio simples é uma rede chaveada com N seletores de entrada (SE) e N seletores de saída (SS).

Cada SE é um demultiplexador $1 \times D$ e cada SS é um multiplexador $M \times 1$, onde $1 \leq D \leq N$ e $1 \leq M \leq N$. Neste sentido, a rede de barra cruzada é uma rede de estágio simples com $D = M = N$.

Para estabelecer uma conexão, diferentes sinais de controle são aplicados a todos os SEs e SSs.

Arranjo de Processadores



Arranjo de Processadores

Uma rede de estágios múltiplos é formada por vários estágios de chaves interconectadas. Essas redes possuem três características:

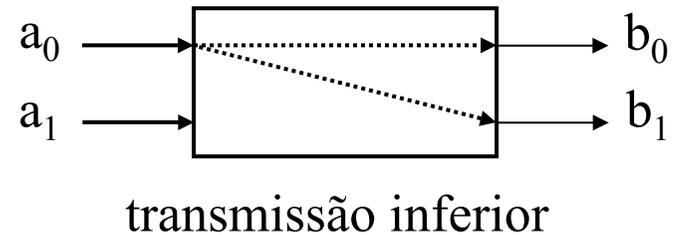
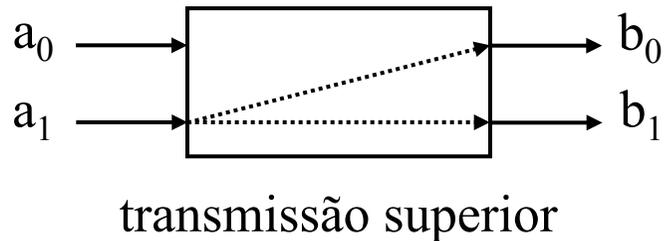
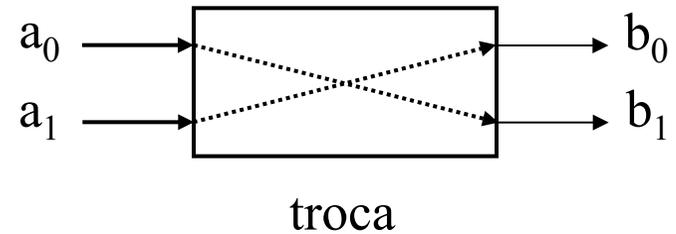
- chave;
- topologia da rede;
- estrutura de controle.

Cada chave é um dispositivo com duas entradas e duas saídas, podendo encontrar-se em quatro estados:

- direta;
- troca;
- transmissão superior;
- transmissão inferior.

Arranjo de Processadores

Uma chave a duas funções pode assumir o estado direto ou troca. Já uma chave a quatro funções pode assumir um dos quatro estados.



Arranjo de Processadores

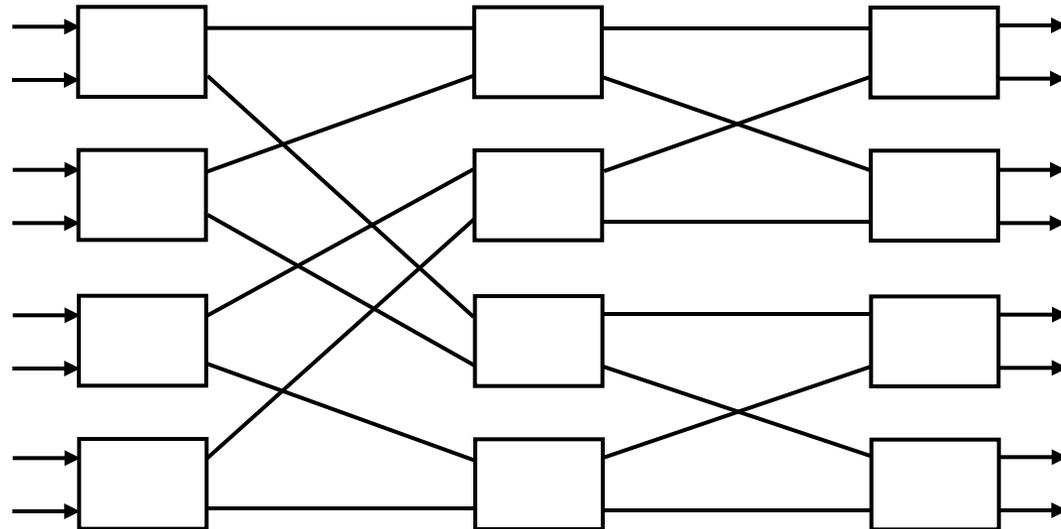
Uma rede multiestágio é capaz de conectar qualquer terminal de entrada a qualquer terminal de saída.

Redes multiestágio de um lado, também chamadas de chaves completas, tem portas de entrada e saída no mesmo lado. Já as redes multiestágio de dois lados tem um lado de entrada e um lado de saída, sendo divididas em três classes:

- bloqueadoras;
- rearranjáveis;
- não-bloqueadoras.

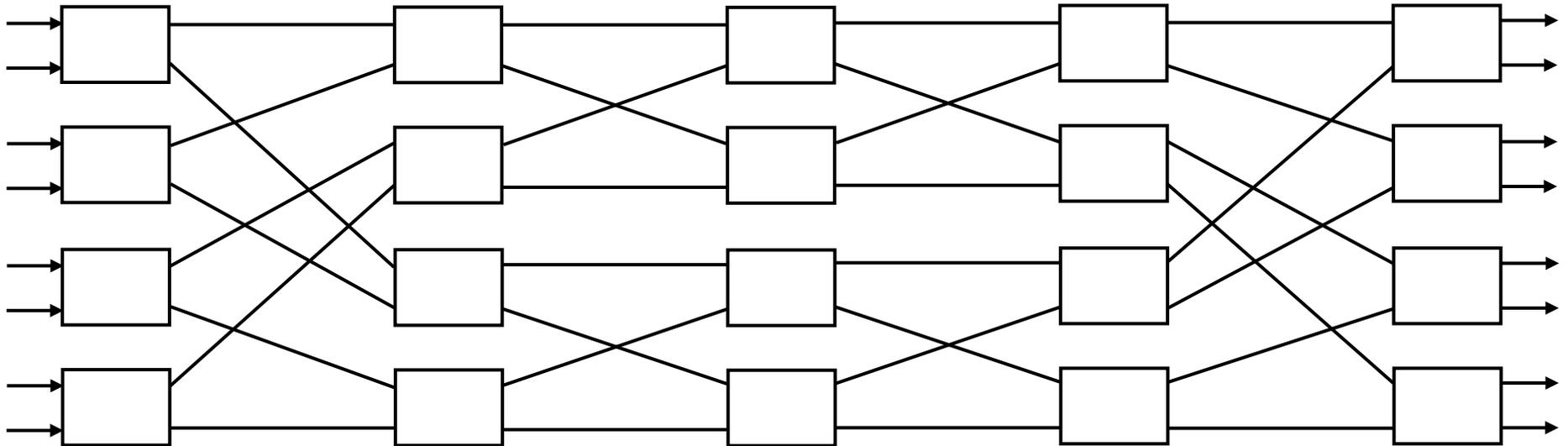
Arranjo de Processadores

Numa rede multiestágio bloqueadora, conexões simultâneas de mais de um par de terminais podem resultar em conflito. Um exemplo é a rede Baseline 8x8 abaixo.



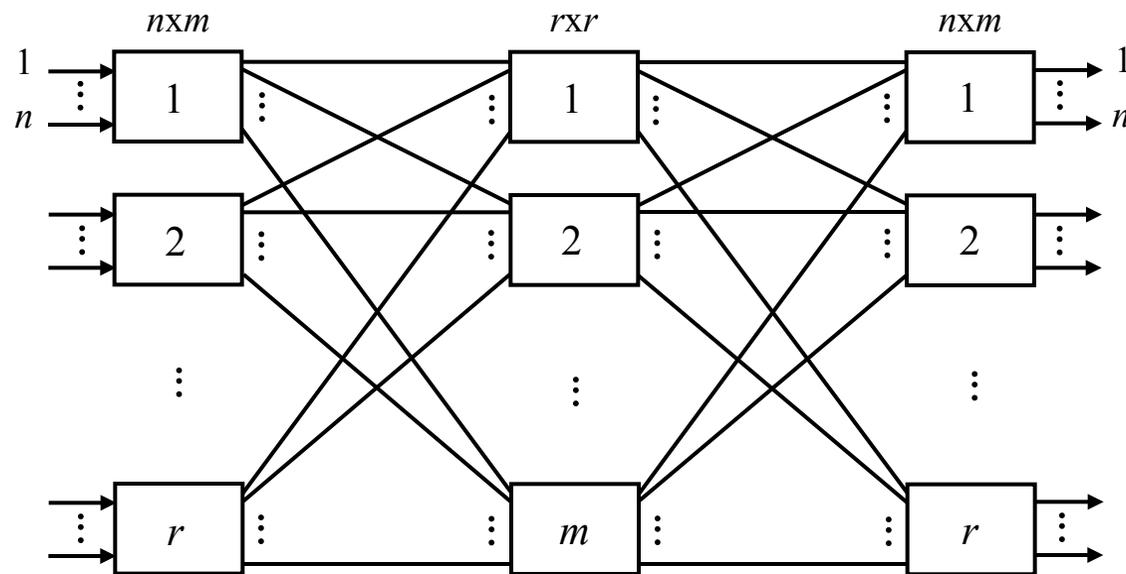
Arranjo de Processadores

Numa rede multiestágio rearranjável, todas as conexões possíveis entre entradas e saídas podem ser feitas através do rearranjo das conexões existentes, de forma que um caminho para um novo par de entrada e saída sempre seja estabelecido. Um exemplo é a rede Benes 8x8 abaixo.



Arranjo de Processadores

Uma rede multiestágio não-bloqueadora pode manipular todas as conexões sem bloquear. A rede Clos abaixo estabelece uma conexão um-para-um entre entrada e saída.



Arranjo de Processadores

A rede em barra cruzada pode conectar todas as portas de entrada a uma porta de saída livre sem bloquear.

Geralmente, uma rede multiestágio consiste de n estágios onde $N = 2^n$ é o número de linhas de entrada e saída.

Assim sendo, cada estágio pode usar $N/2$ chaves, em que o padrão de interconexão entre estágios determina a topologia.

Cada estágio é conectado ao estágio seguinte por, pelo menos, N caminhos.

Arranjo de Processadores

O atraso da rede é proporcional ao número de estágios n em uma rede. O custo de uma rede multiestágio de tamanho N é proporcional a $N \log_2 N$.

O controle por estágio usa o mesmo sinal de controle para definir o estado de todas as chaves no mesmo estágio. Isto requer n sinais de controle para definir os estados de todos os n estágios.

O controle por chave usa um sinal de controle para definir o estado de cada chave. Isto oferece alta flexibilidade para estabelecer as conexões, mas requer $n^2/2$ sinais de controle, o que aumenta a complexidade do circuito de controle.